

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Masaaki Hara et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: January 30, 2004

For: NONVOLATILE MAGNETIC MEMORY
DEVICE AND METHOD OF WRITING DATA
INTO TUNNEL MAGNETORESISTANCE
DEVICE IN NONVOLATILE MAGNETIC
MEMORY DEVICE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-047845	February 25, 2003

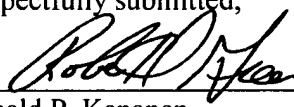
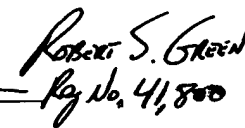
In support of this claim, a certified copy of said original foreign application is filed herewith.

Dated: January 30, 2004

Lion Building
1233 20th Street, N.W., Suite 501
Washington, D.C. 20036
Tel: (202) 955-3750
Fax: (202) 955-3751

Customer No. 23353

Respectfully submitted,

By  
Ronald P. Kananen
Attorneys for Applicant
RADER, FISHMAN & GRAUER, PLLC
Registration No.: 24,104
(202) 955-3750

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 5 日
Date of Application:

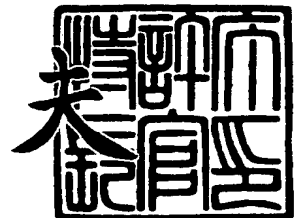
出 願 番 号 特 願 2 0 0 3 - 0 4 7 8 4 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 4 7 8 4 5]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0290804104

【提出日】 平成15年 2月25日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 11/15
G11C 11/14

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 原 雅明

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 椎本 恒則

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 伊藤 雄二郎

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 澤井 淳

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094363

【弁理士】

【氏名又は名称】 山本 孝久

【手数料の表示】

【予納台帳番号】 048390

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708612

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性磁気メモリ装置、及び、不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法

【特許請求の範囲】

【請求項 1】 (A) 第 1 の方向に延びる M 本 (但し、 $M \geq 1$) の書込みワード線、

(B) 第 1 の方向とは異なる第 2 の方向に延びる N 本 (但し、 $N \geq 2$) のビット線、及び、

(C) 書込みワード線とビット線との重複領域に設けられ、第 1 の強磁性体層、トンネル絶縁膜、第 2 の強磁性体層の積層構造を有し、第 1 の強磁性体層は書込みワード線と電氣的に絶縁され、第 2 の強磁性体層はビット線に電氣的に接続されたトンネル磁気抵抗素子、

から成る不揮発性磁気メモリアレイを備えた不揮発性磁気メモリ装置であって、

第 m 番目 (但し、 m は、 $1, 2 \cdots M$ のいずれか) の書込みワード線と第 n 番目 (但し、 n は、 $1, 2 \cdots N$ のいずれか) のビット線との重複領域に位置するトンネル磁気抵抗素子にデータが書き込まれるとき、第 m 番目の書込みワード線に電流 $I(m)_{RWL}$ が流され、且つ、第 n 番目のビット線に電流 $g(0) \cdot I(n)_{BL}$ [ここで、 $g(0)$ は係数] が流され、併せて、第 q 番目 (但し、 $q = n + k$ であり、 k は $\pm 1, \pm 2 \cdots$) のビット線 (但し、合計本数は K 本) に電流 $g(k) \cdot I(n)_{BL}$ [ここで、 $g(k)$ は係数] が流され、

電流 $I(n)_{BL}$ によって該第 n 番目のビット線及び該 K 本のビット線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な FIR フィルターが、該第 n 番目のビット線及び該 K 本のビット線によって構成され、

該第 n 番目のビット線に流される電流 $g(0) \cdot I(n)_{BL}$ によって形成される磁界、該 K 本のビット線のそれぞれに流される電流 $g(k) \cdot I(n)_{BL}$ によって形成される磁界、及び、該第 m 番目の書込みワード線に流される電流 $I(m)_{RWL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書込みワード線と第 n 番目のビット線との重複領域に位置するトンネル磁気抵抗素子には

データが書き込まれ、第 m 番目の書き込みワード線と前記 K 本のビット線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されていることを特徴とする不揮発性磁気メモリ装置。

【請求項2】 ナイキストの第1基準を略満足するように、タップ・ゲインとみなされた前記係数 $g(0)$ 及び $g(k)$ が規定されていることを特徴とする請求項1に記載の不揮発性磁気メモリ装置。

【請求項3】 前記 k の値は1及び2であることを特徴とする請求項1に記載の不揮発性磁気メモリ装置。

【請求項4】 前記 k のとり値の最大値の絶対値を k_0 としたとき、

第1番目のビット線の外側には、第1番目のビット線と平行に k_0 本の第1のダミー線群が設けられ、

第 N 番目のビット線の外側には、第 N 番目のビット線と平行に k_0 本の第2のダミー線群が設けられ、

第1のダミー線群を構成する第 $[(1-n) + |k|]$ 番目の第1のダミー線あるいは第2のダミー線群を構成する第 $[n - N + |k|]$ 番目の第2のダミー線に、電流 $g(k) \cdot I(n)_{BL}$ が流されることを特徴とする請求項1に記載の不揮発性磁気メモリ装置。

【請求項5】 前記 k の値は1及び2であり、前記 k_0 の値は2であることを特徴とする請求項4に記載の不揮発性磁気メモリ装置。

【請求項6】 (A) 第1の方向に延びる M 本(但し、 $M \geq 1$)の書き込みワード線、

(B) 第1の方向とは異なる第2の方向に延びる N 本(但し、 $N \geq 2$)のビット線、及び、

(C) 書き込みワード線とビット線との重複領域に設けられ、第1の強磁性体層、トンネル絶縁膜、第2の強磁性体層の積層構造を有し、第1の強磁性体層は書き込みワード線と電氣的に絶縁され、第2の強磁性体層はビット線に電氣的に接続されたトンネル磁気抵抗素子、

から成る不揮発性磁気メモリアレイを備え、

第 m 番目（但し、 m は、 $1, 2 \cdots M$ のいずれか）の書込みワード線と第 n 番目（但し、 n は、 $1, 2 \cdots N$ のいずれか）のビット線との重複領域に位置するトンネル磁気抵抗素子へのデータの書込みを想定したとき、第 m 番目の書込みワード線に電流 $I(m)_{RWL}$ を流し、且つ、第 n 番目のビット線に電流 $g(0) \cdot I(n)_{BL}$ [ここで、 $g(0)$ は係数] を流し、併せて、第 q 番目（但し、 $q = n + k$ であり、 k は $\pm 1, \pm 2 \cdots$ ）のビット線（但し、合計本数は K 本）に電流 $g(k) \cdot I(n)_{BL}$ [ここで、 $g(k)$ は係数] を流し、

電流 $I(n)_{BL}$ によって該第 n 番目のビット線及び該 K 本のビット線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な FIR フィルターが、該第 n 番目のビット線及び該 K 本のビット線によって構成され、

該第 n 番目のビット線に流れる電流 $g(0) \cdot I(n)_{BL}$ によって形成される磁界、該 K 本のビット線のそれぞれに流れる電流 $g(k) \cdot I(n)_{BL}$ によって形成される磁界、及び、該第 m 番目の書込みワード線に流れる電流 $I(m)_{RWL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書込みワード線と第 n 番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第 m 番目の書込みワード線と前記 K 本のビット線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されている不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法であって、

第 m 番目の書込みワード線に電流 $I(m)_{RWL}$ を流し、且つ、第1番目から第 N 番目のビット線のそれぞれに、同時に、以下の電流値 $i(n)_{BL}$ を流すことを特徴とする不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

$$i(n)_{BL} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(n-k)_{BL} \quad (1)$$

ここで、 k_0 は、 k のとる値の最大値の絶対値であり、式 (1) における k には 0 を含む。

【請求項 7】 ナイキストの第 1 基準を略満足するように、タップ・ゲインとみなされた前記係数 $g(0)$ 及び $g(k)$ が規定されていることを特徴とする請求項 6 に記載の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

【請求項 8】 前記 k の値は 1 及び 2 であり、前記 k_0 の値は 2 であることを特徴とする請求項 6 に記載の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

【請求項 9】 第 1 番目のビット線の外側には、第 1 番目のビット線と平行に k_0 本の第 1 のダミー線群が設けられ、

第 N 番目のビット線の外側には、第 N 番目のビット線と平行に k_0 本の第 2 のダミー線群が設けられ、

第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目の第 1 のダミー線あるいは第 2 のダミー線群を構成する第 $[n - N + |k|]$ 番目の第 2 のダミー線に、電流 $g(k) \cdot I(n)_{BL}$ が流されることを特徴とする請求項 6 に記載の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

【請求項 10】 前記 k の値は 1 及び 2 であり、前記 k_0 の値は 2 であることを特徴とする請求項 9 に記載の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

【請求項 11】 (A) 第 1 の方向に延びる M 本 (但し、 $M \geq 2$) の書込みワード線、

(B) 第 1 の方向とは異なる第 2 の方向に延びる N 本 (但し、 $N \geq 1$) のビット線、及び、

(C) 書込みワード線とビット線との重複領域に設けられ、第 1 の強磁性体層、トンネル絶縁膜、第 2 の強磁性体層の積層構造を有し、第 1 の強磁性体層は書込みワード線と電氣的に絶縁され、第 2 の強磁性体層はビット線に電氣的に接続されたトンネル磁気抵抗素子、

から成る不揮発性磁気メモリアレイを備えた不揮発性磁気メモリ装置であって、

第 m 番目 (但し、 m は、1, 2, ..., M のいずれか) の書込みワード線と第 n 番目 (但し、 n は、1, 2, ..., N のいずれか) のビット線との重複領域に位置

するトンネル磁気抵抗素子にデータが書き込まれるとき、第 n 番目のビット線に電流 $I(n)_{BL}$ が流され、且つ、第 m 番目の書き込みワード線に電流 $g(0) \cdot I(m)_{RWL}$ [ここで、 $g(0)$ は係数] が流され、併せて、第 p 番目 (但し、 $p = n + k$ であり、 k は $\pm 1, \pm 2 \dots$) の書き込みワード線 (但し、合計本数は K 本) に電流 $g(k) \cdot I(m)_{RWL}$ [ここで、 $g(k)$ は係数] が流され、

電流 $I(m)_{RWL}$ によって該第 m 番目の書き込みワード線及び該 K 本の書き込みワード線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な FIR フィルターが、該第 m 番目の書き込みワード線及び該 K 本の書き込みワード線によって構成され、

該第 m 番目の書き込みワード線に流される電流 $g(0) \cdot I(m)_{RWL}$ によって形成される磁界、該 K 本の書き込みワード線のそれぞれに流される電流 $g(k) \cdot I(m)_{RWL}$ によって形成される磁界、及び、該第 n 番目のビット線に流される電流 $I(n)_{BL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書き込みワード線と第 n 番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第 n 番目のビット線と前記 K 本の書き込みワード線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されていることを特徴とする不揮発性磁気メモリ装置。

【請求項 12】 ナイキストの第 1 基準を略満足するように、タップ・ゲインとみなされた前記係数 $g(0)$ 及び $g(k)$ が規定されていることを特徴とする請求項 11 に記載の不揮発性磁気メモリ装置。

【請求項 13】 前記 k の値は 1 及び 2 であり、前記 k_0 の値は 2 であることを特徴とする請求項 11 に記載の不揮発性磁気メモリ装置。

【請求項 14】 前記 k のとる値の最大値の絶対値を k_0 としたとき、

第 1 番目の書き込みワード線の外側には、第 1 番目の書き込みワード線と平行に k_0 本の第 1 のダミー線群が設けられ、

第 M 番目の書き込みワード線の外側には、第 M 番目の書き込みワード線と平行に k_0 本の第 2 のダミー線群が設けられ、

第 1 のダミー線群を構成する第 $[(1-m) + |k|]$ 番目の第 1 のダミー線

あるいは第2のダミー線群を構成する第 $[m-M+|k|]$ 番目の第2のダミー線に、電流 $g(k) \cdot I(m)_{RWL}$ が流されることを特徴とする請求項11に記載の不揮発性磁気メモリ装置。

【請求項15】 前記 k の値は1及び2であり、前記 k_0 の値は2であることを特徴とする請求項14に記載の不揮発性磁気メモリ装置。

【請求項16】 (A) 第1の方向に延びる M 本(但し、 $M \geq 2$)の書込みワード線、

(B) 第1の方向とは異なる第2の方向に延びる N 本(但し、 $N \geq 1$)のビット線、及び、

(C) 書込みワード線とビット線との重複領域に設けられ、第1の強磁性体層、トンネル絶縁膜、第2の強磁性体層の積層構造を有し、第1の強磁性体層は書込みワード線と電氣的に絶縁され、第2の強磁性体層はビット線に電氣的に接続されたトンネル磁気抵抗素子、
から成る不揮発性磁気メモリアレイを備え、

第 m 番目(但し、 m は、 $1, 2 \dots M$ のいずれか)の書込みワード線と第 n 番目(但し、 n は、 $1, 2 \dots N$ のいずれか)のビット線との重複領域に位置するトンネル磁気抵抗素子へのデータの書込みを想定したとき、第 n 番目のビット線に電流 $I(n)_{BL}$ を流し、且つ、第 m 番目の書込みワード線に電流 $g(0) \cdot I(m)_{RWL}$ [ここで、 $g(0)$ は係数]を流し、併せて、第 p 番目(但し、 $p = n + k$ であり、 k は $\pm 1, \pm 2 \dots$)の書込みワード線(但し、合計本数は K 本)に電流 $g(k) \cdot I(m)_{RWL}$ [ここで、 $g(k)$ は係数]を流し、

電流 $I(m)_{RWL}$ によって該第 m 番目の書込みワード線及び該 K 本の書込みワード線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的なFIRフィルタが、該第 m 番目の書込みワード線及び該 K 本の書込みワード線によって構成され、

該第 m 番目の書込みワード線に流れる電流 $g(0) \cdot I(m)_{RWL}$ によって形成される磁界、該 K 本の書込みワード線のそれぞれに流れる電流 $g(k) \cdot I(m)_{RWL}$ によって形成される磁界、及び、該第 n 番目のビット線に流れる電流 $I(n)_{BL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書込み

ワード線と第 n 番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第 n 番目のビット線と前記 K 本の書込みワード線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されている不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法であって、

第 n 番目のビット線に電流 $I(n)_{BL}$ を流し、且つ、第 1 番目から第 M 番目の書込みワード線のそれぞれに、同時に、以下の電流値 $i(m)_{RWL}$ を流すことを特徴とする不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

$$i(m)_{RWL} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(m-k)_{RWL} \quad (2)$$

ここで、 k_0 は、 k のとる値の最大値の絶対値であり、式 (2) における k には 0 を含む。

【請求項 17】 ナイキストの第 1 基準を略満足するように、タップ・ゲインとみなされた前記係数 $g(0)$ 及び $g(k)$ が規定されていることを特徴とする請求項 16 に記載の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

【請求項 18】 前記 k の値は 1 及び 2 であり、前記 k_0 の値は 2 であることを特徴とする請求項 16 に記載の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

【請求項 19】 第 1 番目の書込みワード線の外側には、第 1 番目の書込みワード線と平行に k_0 本の第 1 のダミー線群が設けられ、

第 M 番目の書込みワード線の外側には、第 M 番目の書込みワード線と平行に k_0 本の第 2 のダミー線群が設けられ、

第 1 のダミー線群を構成する第 $[(1-m) + |k|]$ 番目の第 1 のダミー線あるいは第 2 のダミー線群を構成する第 $[m-M + |k|]$ 番目の第 2 のダミー線に、電流 $g(k) \cdot I(m)_{RWL}$ が流されることを特徴とする請求項 16 に記載の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法

。

【請求項 20】 前記 k の値は 1 及び 2 であり、前記 k_0 の値は 2 であることを特徴とする請求項 19 に記載の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性磁気メモリ装置、及び、不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法に関し、より詳しくは、TMR (Tunnel Magnetoresistance) タイプのMRAM (Magnetic Random Access Memory) と呼ばれる不揮発性磁気メモリ装置、及び、かかる不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法に関する。

【0002】

【従来の技術】

情報通信機器、特に携帯端末等の個人用小型機器の飛躍的な普及に伴い、これらを構成するメモリやロジック等の各種半導体装置には、高集積化、高速化、低電力化等、一層の高性能化が要請されている。特に不揮発性メモリは、ユビキタス時代に必要不可欠であると考えられている。電源の消耗やトラブル、サーバーとネットワークとが何らかの障害により切断された場合でも、不揮発性メモリによって重要な情報を保存、保護することができる。また、最近の携帯機器は不要の回路ブロックをスタンバイ状態とし、出来る限り消費電力を抑えるように設計されているが、高速のワークメモリと大容量ストレージメモリを兼ねることができる不揮発性メモリが実現できれば、消費電力とメモリの無駄を無くすることができる。また、電源を投入すると瞬時に起動できる「インスタント・オン」機能も、高速、且つ、大容量の不揮発性メモリが実現できれば可能となる。

【0003】

不揮発性メモリとして、半導体材料を用いたフラッシュメモリや、強誘電体材料を用いた強誘電体型不揮発性半導体メモリ (FERAM, Ferroelectric Random Access Memory) 等を挙げることができる。しかしながら、フラッシュメモリ

は、書込み速度がマイクロ秒のオーダーであり、書込み速度が遅いという欠点がある。一方、FERAMにおいては、書換え可能回数が $10^{12} \sim 10^{14}$ であり、SRAMやDRAMをFERAMに置き換えるにはFERAMの書換え可能回数が十分とは云えず、また、強誘電体層の微細加工が難しいという問題が指摘されている。

【0004】

これらの欠点を有さない不揮発性メモリとして、MRAM (Magnetic Random Access Memory) と呼ばれる不揮発性磁気メモリ素子が注目されている。初期のMRAMは、GMR (Giant magnetoresistance) 効果を用いたスピントラップをベースにしたものであった。しかし、負荷のメモリセル抵抗が $10 \sim 100 \Omega$ と低いため、読み出し時のビット当たりの消費電力が大きく、大容量化が難しいという欠点があった。

【0005】

一方、TMR (Tunnel Magnetoresistance) 効果を用いたMRAMは、開発初期においては、抵抗変化率が室温で $1 \sim 2\%$ 程度しかなかったが、近年、 20% 近くの抵抗変化率が得られるようになり、TMR効果を用いたMRAMに注目が集まっている。TMRタイプのMRAMは、構造が単純で、スケーリングも容易であり、また、磁気モーメントの回転により記録を行うために、書換え可能回数が大である。更には、アクセス時間についても非常に高速であることが予想され、既に 100 MHz で動作可能であると云われている。

【0006】

TMRタイプのMRAM (以下、単に、MRAMと呼ぶ) の模式的な一部断面図を、図5に示す。このMRAMは、MOS型FETから成る選択用トランジスタTRに接続されたトンネル磁気抵抗素子TMJから構成されている。

【0007】

トンネル磁気抵抗素子TMJは、第1の強磁性体層31、トンネル絶縁膜34、第2の強磁性体層35の積層構造を有する。第1の強磁性体層31は、より具体的には、例えば、下から反強磁性体層32と強磁性体層(固着層、磁化固定層33とも呼ばれる)との2層構成を有し、これらの2層の間に働く交換相互作用

によって強い一方向の磁気異方性を有する。磁化方向が比較的容易に回転する第2の強磁性体層35は、自由層あるいは記録層とも呼ばれる。尚、以下の説明において、第2の強磁性体層を記録層35と呼ぶ場合がある。トンネル絶縁膜34は、記録層35と磁化固定層33との間の磁氣的結合を切ると共に、トンネル電流を流すための役割を担う。MRAMとMRAMを接続するビット線BLは、第3の層間絶縁層26上に形成されている。ビット線BLと記録層35との間に設けられたトップコート膜36は、ビット線BLを構成する原子と記録層35を構成する原子の相互拡散の防止、接触抵抗の低減、及び、記録層35の酸化防止を担っている。図中、参照番号37は、反強磁性体層32の下面に接続された引き出し電極を示す。

【0008】

更には、トンネル磁気抵抗素子TMJの下方には、第2の層間絶縁層24を介して書込みワード線RWLが配置されている。尚、書込みワード線RWLの延びる方向（第1の方向）とビット線BLの延びる方向（第2の方向）とは、通常、直交している。

【0009】

一方、選択用トランジスタTRは、素子分離領域11によって囲まれたシリコン半導体基板10の部分に形成されており、第1の層間絶縁層21によって覆われている。そして、一方のソース／ドレイン領域14Bは、タングステンプラグから成る接続孔22、ランディングパッド23、タングステンプラグから成る接続孔25を介して、トンネル磁気抵抗素子TMJの引き出し電極37に接続されている。また、他方のソース／ドレイン領域14Aは、タングステンプラグ15を介してセンス線16に接続されている。図中、参照番号12はゲート電極を示し、参照番号13はゲート絶縁膜を示す。

【0010】

MRAMアレイにあつては、ビット線BL及び書込みワード線RWLから成る格子の交点（重複領域）にMRAMが配置されている。

【0011】

このような構成のMRAMへのデータの書込みにおいては、ビット線BLに電

流 I_{BL} を流し、且つ、書込みワード線 RWL に電流 I_{RWL} を流し、その結果生成される合成磁界によって第2の強磁性体層（記録層35）の磁化の方向を変えることで、第2の強磁性体層（記録層35）に「1」又は「0」を記録する。

【0012】

一方、データの読出しは、選択用トランジスタ TR をオン状態とし、ビット線 BL に電流を流し、磁気抵抗効果によるトンネル電流変化をセンス線16にて検出することにより行う。記録層35と磁化固定層33の磁化方向が等しい場合、低抵抗となり（この状態を例えば「0」とする）、記録層35と磁化固定層33の磁化方向が反平行の場合、高抵抗となる（この状態を例えば「1」とする）。

【0013】

図38に、MRAMのアステロイド曲線を示す。ビット線 BL 及び書込みワード線 RWL に電流を流し、その結果生成する合成磁界に基づき、MRAMを構成するトンネル磁気抵抗素子 TMJ にデータを書き込む。ビット線 BL を流れる書込み電流によって記録層35の磁化容易軸方向の磁界（ H_{EA} ）が形成され、書込みワード線 RWL を流れる電流によって記録層35の磁化困難軸方向の磁界（ H_{HA} ）が形成される。尚、MRAMの構成にも依るが、ビット線 BL を流れる書込み電流によって記録層35の磁化困難軸方向の磁界（ H_{HA} ）が形成され、書込みワード線 RWL を流れる電流によって記録層35の磁化容易軸方向の磁界（ H_{EA} ）が形成される場合もある。

【0014】

アステロイド曲線は、合成磁界（記録層35に加わる磁界 H_{HA} と磁界 H_{EA} の磁界ベクトルの合成）による記録層35の磁化方向の反転閾値を示しており、アステロイド曲線の外側（ OUT_1 , OUT_2 ）に相当する合成磁界が生成した場合、記録層35の磁化方向の反転が起こり、データの書込みが行われる。一方、アステロイド曲線の内部（ IN ）に相当する合成磁界が生成した場合、記録層35の磁化方向の反転は生じない。また、電流を流している書込みワード線 RWL 及びビット線 BL の交点以外のMRAMにおいても、書込みワード線 RWL 若しくはビット線 BL 単独で生成する磁界が加わるため、この磁界の大きさが一方向反転磁界 H_K 以上の場合〔図38における点線の外側の領域（ OUT_2 ）〕、交点以外

のMRAMを構成する記録層35の磁化方向も反転してしまう。それ故、合成磁界がアステロイド曲線の外側であって図38の点線の内側の領域(OUT₁)内にある場合のみに、選択されたMRAMに対する選択書込みが可能となる。

【0015】

上述したとおり、高速・高集積化が容易であるという長所を有するTMRタイプのMRAMではあるが、現実には、或るMRAMにデータを書き込む際に生成した磁界によって、このMRAMに隣接するMRAMに記憶されたデータが破壊される虞がある。

【0016】

図39に示すように、無限長の長さの3本の導線(L₁, L₀, L₂)が距離dだけ離れて平行に並んでおり、導線L₀にI₀(アンペア)の電流が流れ、導線L₁, L₂に-I₁(アンペア)の電流が流れている状態を想定する。任意の点P(X, Y)から、導線L₀, L₁, L₂までの距離をr₀, r₁, r₂とすれば、X軸方向及びY軸方向の磁界H_X及びH_Yは、以下の式(3-1)、(3-2)から求まる。尚、任意の点P(X, Y)と導線L₀, L₁, L₂とを結ぶ直線のX軸との成す角度をθ₀, θ₁, θ₂とする。また、図39において、導線L₀によって形成される磁界を点線の矢印H₀で示し、導線L₁によって形成される磁界を点線の矢印H₁で示し、導線L₂によって形成される磁界を点線の矢印H₂で示す。

【0017】

$$\begin{aligned} H_X = & [I_0 / (2\pi r_0)] \sin(\theta_0) \\ & + [I_1 / (2\pi r_1)] \sin(\theta_1) \\ & + [I_2 / (2\pi r_2)] \sin(\theta_2) \end{aligned} \quad (3-1)$$

$$\begin{aligned} H_Y = & -[I_0 / (2\pi r_0)] \cos(\theta_0) \\ & - [I_1 / (2\pi r_1)] \cos(\theta_1) \\ & - [I_2 / (2\pi r_2)] \cos(\theta_2) \end{aligned} \quad (3-2)$$

【0018】

ここで、

$$r_0 = (X^2 + Y^2)^{1/2}$$

$$r_1 = \{(X+d)^2 + Y^2\}^{1/2}$$

$$r_2 = \sqrt{(X-d)^2 + Y^2}^{1/2}$$

である。

【0019】

図5に示すようにビット線BLの厚さ方向の中心から、第2の強磁性体層（記録層）35の厚さ方向の中心までの距離をhとし、また、ビット線の幅方向の中心から、隣接するビット線の幅方向の中心までの距離をdとし、 $\beta = (h/d)$ とする。

【0020】

導線L₀, L₁, L₂をX軸方向に3本の並列したビット線と考え、導線L₀がガウス座標の原点(0, 0)を通過するとし、I₁=0（アンペア）としたとき、座標(X, h)で表される点におけるH(X, h)の値は、以下の式(4)のとおりとなる。

【0021】

$$\begin{aligned} H(X, h) &= [I_0 / (2\pi)] \\ &\quad \times [1 / (X^2 + h^2)^{1/2}] \\ &\quad \times [h / (X^2 + h^2)^{1/2}] \\ &= h [I_0 / (2\pi)] / (X^2 + h^2) \quad (4) \end{aligned}$$

【0022】

ここで、X=0において、H(X, h)=1となるように、I₀を正規化すると、I₀の値は以下のとおりとなる。

【0023】

$$I_0 = 2\pi \cdot h \quad (5)$$

【0024】

式(5)を式(4)に代入すると、以下の式(6)が得られる。尚、正規化された磁界H(X, h)をH_N(X, h)で表す。

【0025】

$$H_N(X, h) = h^2 / (X^2 + h^2) \quad (6)$$

【0026】

更には、X=d・xで表示すると、 $\beta = (h/d)$ を用いて、式(6)は、式

(7) のように変形される。

【0027】

$$H_{N(x,h)} = (\beta \cdot d)^2 / \{ (d \cdot x)^2 + (\beta \cdot d)^2 \}$$

$$= \beta^2 / (x^2 + \beta^2) \quad (7)$$

【0028】

$\beta = (h/d)$ の値を、0.1、0.5、1.0としたときの、式(7)の計算結果である $H_{N(x,h)}$ を、図40に示す。

【0029】

$\beta = (h/d)$ の値が0.1のとき、即ち、第2の強磁性体層35の厚さ方向の中心までの距離 h に対して、ビット線の幅方向の中心から、隣接するビット線の幅方向の中心までの距離 d が10倍の場合には、 $x = \pm 1.0$ において、即ち、隣接するトンネル磁気抵抗素子 TMJ の第2の強磁性体層35において、 $H_{N(x,h)}$ はほぼ0であり、隣接するトンネル磁気抵抗素子 TMJ 間における磁界の干渉は無い。

【0030】

然るに、 $\beta = (h/d)$ の値が0.5のとき、即ち、第2の強磁性体層35の厚さ方向の中心までの距離 h に対して、ビット線の幅方向の中心から、隣接するビット線の幅方向の中心までの距離 d が2倍の場合には、 $x = \pm 1.0$ において、即ち、隣接するトンネル磁気抵抗素子 TMJ の第2の強磁性体層35において、 $H_{N(x,h)}$ は0.2である。このような $H_{N(x,h)}$ の値が問題となるかは、図38に示したMRAMのアステロイド曲線におけるMRAMの磁化容易軸方向の磁界 (H_{EA}) や磁化困難軸方向の磁界 (H_{HA}) のばらつきに依存するが、決して無視できない大きさである。

【0031】

更に、 $\beta = (h/d)$ の値が1.0のとき、即ち、第2の強磁性体層35の厚さ方向の中心までの距離 h に対して、ビット線の幅方向の中心から、隣接するビット線の幅方向の中心までの距離 d が1倍の場合には、 $x = \pm 1.0$ において、即ち、隣接するトンネル磁気抵抗素子 TMJ の第2の強磁性体層35において、 $H_{N(x,h)}$ は0.5にもなる。このような磁界が生成した場合、MRAMの磁化容

易軸方向の磁界 (H_{EA}) や磁化困難軸方向の磁界 (H_{HA}) のばらつきをたとえ小さく抑えることができたとしても、所望のMRAMへのデータ書込みを安定して行うことは困難であることが予想される。

【0032】

「MRAMの現状と将来展望」 齊藤 好昭 の図6においては、 $X = 0 \mu m$ で $H_X \div 10$ エールステッド、 $X = 0.2 \mu m$ で $H_X \div 5$ エールステッド、 $X = 0.4 \mu m$ で $H_X \div 2$ エールステッドとなっている。即ち、図40における $\beta = h/d = 1.0$ としたときの値は、「MRAMの現状と将来展望」 齊藤 好昭 の図6に示されたデータと、程良い一致を示している。

【0033】

従って、境界条件等を厳密に考慮した場合とは数値が異なることは否定できないが、磁界の分布や大きさなどを検討する目的では、式(7)に示したモデルでも良い近似になっていることが確認できる。

【0034】

【特許文献1】 特開 2002-203388

【特許文献2】 米国特許第 5940319号

【非特許文献1】 齊藤 好昭、「MRAMの現状と将来展望」、[online]、FEDレビュー Vol. 1 No. 25 2002年3月14日、[平成14年11月21日検索]、インターネット<URL:<http://www.fed.or.jp/pub/review/spin.htm>>

【0035】

【発明が解決しようとする課題】

先に述べたとおり、高速・高集積化が容易であるという長所を有するTMRタイプのMRAMではあるが、上述のとおり、或るMRAMにデータを書き込む際に生成した磁界によって、このMRAMに隣接するMRAMに記憶されたデータが破壊される虞がある。

【0036】

このような問題を解決するための手段が、例えば、特開 2002-203388に開示されている。この特許公開公報に開示された技術にあつては、メモリセ

ル (I_2) に属するワード線 (WL_1) とビット線 (BL_2) とにプログラミング電流 (I_{WL} , I_{BL2}) を流し、メモリセル (I_2) に隣接している少なくとも 1 つのメモリセル (I_3 , I_5) に属するワード線 (PR_L)、又は、ビット線 (BL_3 , BL_5) に、散乱磁場に反作用する補償磁場を提供する補償電流を流す。

【0037】

しかしながら、この特許公開公報には、流すべき補償電流としてどのような値を採用すべきか、流すべき補償電流の値をどのようにして決定するかに関する具体的な方策や手段については、何ら言及されていない。

【0038】

更には、この特許公開公報には、隣接する多数の MRAM に同時にデータを書き込むための具体的な方法については、何ら言及されていない。

【0039】

従って、本発明の目的は、或るトンネル磁気抵抗素子にデータを書き込む際に生成した磁界によって、このトンネル磁気抵抗素子に隣接するトンネル磁気抵抗素子に記憶されたデータが破壊されることの無い構成を有する不揮発性磁気メモリ装置、及び、隣接する多数の MRAM に同時にデータを書き込んでも、データの誤書き込みを防止し得る不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法を提供することにある。

【0040】

【課題を解決するための手段】

上記の目的を達成するための本発明の第 1 の態様に係る不揮発性磁気メモリ装置 (より具体的には、TMR タイプの MRAM を具備した不揮発性磁気メモリ装置) は、

- (A) 第 1 の方向に延びる M 本 (但し、 $M \geq 1$) の書込みワード線、
- (B) 第 1 の方向とは異なる第 2 の方向に延びる N 本 (但し、 $N \geq 2$) のビット線、及び、
- (C) 書込みワード線とビット線との重複領域に設けられ、第 1 の強磁性体層、トンネル絶縁膜、第 2 の強磁性体層の積層構造を有し、第 1 の強磁性体層は書込みワード線と電氣的に絶縁され、第 2 の強磁性体層はビット線に電氣的に接続

されたトンネル磁気抵抗素子、

から成る不揮発性磁気メモリアレイを備えた不揮発性磁気メモリ装置であって、

第 m 番目（但し、 m は、 $1, 2 \cdots M$ のいずれか）の書込みワード線と第 n 番目（但し、 n は、 $1, 2 \cdots N$ のいずれか）のビット線との重複領域に位置するトンネル磁気抵抗素子にデータが書き込まれるとき、第 m 番目の書込みワード線に電流 $I(m)_{RWL}$ が流され、且つ、第 n 番目のビット線に電流 $g(0) \cdot I(n)_{BL}$ [ここで、 $g(0)$ は係数] が流され、併せて、第 q 番目（但し、 $q = n + k$ であり、 k は $\pm 1, \pm 2 \cdots$ ）のビット線（但し、合計本数は K 本）に電流 $g(k) \cdot I(n)_{BL}$ [ここで、 $g(k)$ は係数] が流され、

電流 $I(n)_{BL}$ によって該第 n 番目のビット線及び該 K 本のビット線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な FIR フィルターが、該第 n 番目のビット線及び該 K 本のビット線によって構成され、

該第 n 番目のビット線に流される電流 $g(0) \cdot I(n)_{BL}$ によって形成される磁界、該 K 本のビット線のそれぞれに流される電流 $g(k) \cdot I(n)_{BL}$ によって形成される磁界、及び、該第 m 番目の書込みワード線に流される電流 $I(m)_{RWL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書込みワード線と第 n 番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第 m 番目の書込みワード線と前記 K 本のビット線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されていることを特徴とする。

【0041】

上記の目的を達成するための本発明の第2の態様に係る不揮発性磁気メモリ装置（より具体的には、TMRタイプのMRAMを具備した不揮発性磁気メモリ装置）は、

- (A) 第1の方向に延びる M 本（但し、 $M \geq 2$ ）の書込みワード線、
- (B) 第1の方向とは異なる第2の方向に延びる N 本（但し、 $N \geq 1$ ）のビット線、及び、
- (C) 書込みワード線とビット線との重複領域に設けられ、第1の強磁性体層

、トンネル絶縁膜、第2の強磁性体層の積層構造を有し、第1の強磁性体層は書込みワード線と電氣的に絶縁され、第2の強磁性体層はビット線に電氣的に接続されたトンネル磁気抵抗素子、

から成る不揮発性磁気メモリアレイを備えた不揮発性磁気メモリ装置であって、

第 m 番目（但し、 m は、 $1, 2 \cdots M$ のいずれか）の書込みワード線と第 n 番目（但し、 n は、 $1, 2 \cdots N$ のいずれか）のビット線との重複領域に位置するトンネル磁気抵抗素子にデータが書き込まれるとき、第 n 番目のビット線に電流 $I(n)_{BL}$ が流され、且つ、第 m 番目の書込みワード線に電流 $g(0) \cdot I(m)_{RWL}$ [ここで、 $g(0)$ は係数] が流され、併せて、第 p 番目（但し、 $p = n + k$ であり、 k は $\pm 1, \pm 2 \cdots$ ）の書込みワード線（但し、合計本数は K 本）に電流 $g(k) \cdot I(m)_{RWL}$ [ここで、 $g(k)$ は係数] が流され、

電流 $I(m)_{RWL}$ によって該第 m 番目の書込みワード線及び該 K 本の書込みワード線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な FIR フィルターが、該第 m 番目の書込みワード線及び該 K 本の書込みワード線によって構成され、

該第 m 番目の書込みワード線に流される電流 $g(0) \cdot I(m)_{RWL}$ によって形成される磁界、該 K 本の書込みワード線のそれぞれに流される電流 $g(k) \cdot I(m)_{RWL}$ によって形成される磁界、及び、該第 n 番目のビット線に流される電流 $I(n)_{BL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書込みワード線と第 n 番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第 n 番目のビット線と前記 K 本の書込みワード線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されていることを特徴とする。

【0042】

上記の目的を達成するための本発明の第1の態様に係る不揮発性磁気メモリ装置（より具体的には、TMRタイプのMRAMを具備した不揮発性磁気メモリ装置）におけるトンネル磁気抵抗素子へのデータ書込方法は、

(A) 第1の方向に延びる M 本（但し、 $M \geq 1$ ）の書込みワード線、

(B) 第1の方向とは異なる第2の方向に延びる N 本（但し、 $N \geq 2$ ）のビッ

ト線、及び、

(C) 書込みワード線とビット線との重複領域に設けられ、第1の強磁性体層、トンネル絶縁膜、第2の強磁性体層の積層構造を有し、第1の強磁性体層は書込みワード線と電氣的に絶縁され、第2の強磁性体層はビット線に電氣的に接続されたトンネル磁気抵抗素子、

から成る不揮発性磁気メモリアレイを備え、

第 m 番目(但し、 m は、 $1, 2 \cdots M$ のいずれか)の書込みワード線と第 n 番目(但し、 n は、 $1, 2 \cdots N$ のいずれか)のビット線との重複領域に位置するトンネル磁気抵抗素子へのデータの書込みを想定したとき、第 m 番目の書込みワード線に電流 $I(m)_{RWL}$ を流し、且つ、第 n 番目のビット線に電流 $g(0) \cdot I(n)_{BL}$ [ここで、 $g(0)$ は係数] を流し、併せて、第 q 番目(但し、 $q = n + k$ であり、 k は $\pm 1, \pm 2 \cdots$) のビット線(但し、合計本数は K 本)に電流 $g(k) \cdot I(n)_{BL}$ [ここで、 $g(k)$ は係数] を流し、

電流 $I(n)_{BL}$ によって該第 n 番目のビット線及び該 K 本のビット線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な FIR フィルターが、該第 n 番目のビット線及び該 K 本のビット線によって構成され、

該第 n 番目のビット線に流れる電流 $g(0) \cdot I(n)_{BL}$ によって形成される磁界、該 K 本のビット線のそれぞれに流れる電流 $g(k) \cdot I(n)_{BL}$ によって形成される磁界、及び、該第 m 番目の書込みワード線に流れる電流 $I(m)_{RWL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書込みワード線と第 n 番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第 m 番目の書込みワード線と前記 K 本のビット線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されている不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法であって、

第 m 番目の書込みワード線に電流 $I(m)_{RWL}$ を流し、且つ、第1番目から第 N 番目のビット線のそれぞれに、同時に、以下の電流値 $i(n)_{BL}$ を流すことを特徴とする。

$$i(n)_{BL} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(n-k)_{BL} \quad (1)$$

ここで、 k_0 は、 k のとり値の最大値の絶対値であり、式(1)における k には0を含む。

【0043】

上記の目的を達成するための本発明の第2の態様に係る不揮発性磁気メモリ装置（より具体的には、TMRタイプのMRAMを具備した不揮発性磁気メモリ装置）におけるトンネル磁気抵抗素子へのデータ書込方法は、

(A) 第1の方向に延びるM本（但し、 $M \geq 2$ ）の書込みワード線、

(B) 第1の方向とは異なる第2の方向に延びるN本（但し、 $N \geq 1$ ）のビット線、及び、

(C) 書込みワード線とビット線との重複領域に設けられ、第1の強磁性体層、トンネル絶縁膜、第2の強磁性体層の積層構造を有し、第1の強磁性体層は書込みワード線と電氣的に絶縁され、第2の強磁性体層はビット線に電氣的に接続されたトンネル磁気抵抗素子、

から成る不揮発性磁気メモリアレイを備え、

第m番目（但し、 m は、 $1, 2, \dots, M$ のいずれか）の書込みワード線と第n番目（但し、 n は、 $1, 2, \dots, N$ のいずれか）のビット線との重複領域に位置するトンネル磁気抵抗素子へのデータの書込みを想定したとき、第n番目のビット線に電流 $I(n)_{BL}$ を流し、且つ、第m番目の書込みワード線に電流 $g(0) \cdot I(m)_{RWL}$ [ここで、 $g(0)$ は係数] を流し、併せて、第p番目（但し、 $p = n + k$ であり、 k は $\pm 1, \pm 2, \dots$ ）の書込みワード線（但し、合計本数はK本）に電流 $g(k) \cdot I(m)_{RWL}$ [ここで、 $g(k)$ は係数] を流し、

電流 $I(m)_{RWL}$ によって該第m番目の書込みワード線及び該K本の書込みワード線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的なFIRフィルタが、該第m番目の書込みワード線及び該K本の書込みワード線によって構成され、

該第m番目の書込みワード線に流れる電流 $g(0) \cdot I(m)_{RWL}$ によって形

成される磁界、該 K 本の書込みワード線のそれぞれに流れる電流 $g(k) \cdot I(m)_{RWL}$ によって形成される磁界、及び、該第 n 番目のビット線に流れる電流 $I(n)_{BL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書込みワード線と第 n 番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第 n 番目のビット線と前記 K 本の書込みワード線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されている不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法であって、

第 n 番目のビット線に電流 $I(n)_{BL}$ を流し、且つ、第 1 番目から第 M 番目の書込みワード線のそれぞれに、同時に、以下の電流値 $i(m)_{RWL}$ を流すことを特徴とする。

$$i(m)_{RWL} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(m-k)_{RWL} \quad (2)$$

ここで、 k_0 は、 k のとる値の最大値の絶対値であり、式 (2) における k には 0 を含む。

【0044】

本発明の第 1 の態様あるいは第 2 の態様に係る不揮発性磁気メモリ装置、若しくは、本発明の第 1 の態様あるいは第 2 の態様に係る不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法（以下、これらを総称して、単に本発明と呼ぶ場合がある）においては、 $I(m)_{RWL}$ の値を m の値に応じて変えてもよいし、 m の値に拘わらず一定としてもよい。また、 $I(n)_{BL}$ の値を n の値に応じて変えてもよいし、 n の値に拘わらず一定としてもよい。

【0045】

本発明においては、ナイキストの第 1 基準を略満足するように、タップ・ゲインとみなされた前記係数 $g(0)$ 及び $g(k)$ が規定されていることが好ましい。ナイキストの第 1 基準については後述する。

【0046】

また、本発明にあつては、前記 k の値は、本質的には 1 から任意の正数までの

値とすることができるが、 k の値を 1 及び 2 とすることが、不揮発性磁気メモリ装置の駆動が複雑化することを回避するといった点から好ましい。尚、この場合、 k のとる値の最大値の絶対値を k_0 としたとき、 k_0 の値は 2 である。

【0047】

本発明の第 1 の態様に係る不揮発性磁気メモリ装置、若しくは、本発明の第 1 の態様に係る不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法にあつては、例えば、第 1 番目のビット線あるいは第 N 番目のビット線を流れる電流によって主磁界 [電流 $g(0) \cdot I(1)_{BL}$ あるいは電流 $g(0) \cdot I(N)_{BL}$ によって生成する磁界] が生成され、第 2 番目、第 3 番目、 \dots のビット線、あるいは、 \dots 第 $(N-2)$ 番目、第 $(N-1)$ 番目のビット線を流れる電流によって補償磁界 [電流 $g(k) \cdot I(1)_{BL}$ あるいは電流 $g(k) \cdot I(N)_{BL}$ によって生成する磁界] が生成されるが、係る補償磁界は、例えば、第 1 番目のビット線あるいは第 N 番目のビット線を基準としたとき、非対称となる。

【0048】

それ故、本発明の第 1 の態様に係る不揮発性磁気メモリ装置、若しくは、本発明の第 1 の態様に係る不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法にあつては、前記 k のとる値の最大値の絶対値を k_0 としたとき、

第 1 番目のビット線の外側には、第 1 番目のビット線と平行に k_0 本の第 1 のダミー線群が設けられ、

第 N 番目のビット線の外側には、第 N 番目のビット線と平行に k_0 本の第 2 のダミー線群が設けられ、

第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目の第 1 のダミー線あるいは第 2 のダミー線群を構成する第 $[n-N + |k|]$ 番目の第 2 のダミー線に、電流 $g(k) \cdot I(n)_{BL}$ が流されることが、例えば、第 1 番目のビット線あるいは第 N 番目のビット線を基準としたとき磁界が非対称となることを防ぐために、好ましい。

【0049】

尚、この場合、前記 k の値は、本質的には 1 から任意の正数までの値とすることができ、 k の値を 1 及び 2 とすることが、不揮発性磁気メモリ装置の駆動が複雑化することを回避するといった点から好ましい。尚、この場合、 k_0 の値は 2 である。

【0050】

本発明の第 2 の態様に係る不揮発性磁気メモリ装置、若しくは、本発明の第 2 の態様に係る不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法にあつては、例えば、第 1 番目の書込みワード線あるいは第 M 番目の書込みワード線を流れる電流によって主磁界 [電流 $g(0) \cdot I(1)_{RWL}$ あるいは電流 $g(0) \cdot I(M)_{RWL}$ によって生成する磁界] が生成され、第 2 番目、第 3 番目、 \dots の書込みワード線、あるいは、 \dots 第 $(M-2)$ 番目、第 $(M-1)$ 番目の書込みワード線を流れる電流によって補償磁界 [電流 $g(k) \cdot I(1)_{RWL}$ あるいは電流 $g(k) \cdot I(M)_{RWL}$ によって生成する磁界] が生成されるが、係る補償磁界は、例えば、第 1 番目の書込みワード線あるいは第 M 番目の書込みワード線を基準としたとき、非対称となる。

【0051】

それ故、本発明の第 2 の態様に係る不揮発性磁気メモリ装置、若しくは、本発明の第 2 の態様に係る不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法にあつては、前記 k のとる値の最大値の絶対値を k_0 としたとき、

第 1 番目の書込みワード線の外側には、第 1 番目の書込みワード線と平行に k_0 本の第 1 のダミー線群が設けられ、

第 M 番目の書込みワード線の外側には、第 M 番目の書込みワード線と平行に k_0 本の第 2 のダミー線群が設けられ、

第 1 のダミー線群を構成する第 $[(1-m) + |k|]$ 番目の第 1 のダミー線あるいは第 2 のダミー線群を構成する第 $[m-M + |k|]$ 番目の第 2 のダミー線に、電流 $g(k) \cdot I(m)_{RWL}$ が流されることが、例えば、第 1 番目の書込みワード線あるいは第 M 番目の書込みワード線を基準としたとき磁界が非対称となることを防ぐために、好ましい。

【0052】

尚、この場合にも、前記 k の値は、本質的には 1 から任意の正数までの値とすることができるが、 k の値を 1 及び 2 とすることが、不揮発性磁気メモリ装置の駆動が複雑化することを回避するといった点から好ましい。尚、この場合、 k_0 の値は 2 である。

【0053】

本発明において、 N の具体的な値として、8、16 を例示することができ、 M の具体的な値として、16、32、64 を例示することができる。

【0054】

本発明において、第 1 の強磁性体層は、より具体的には、例えば、反強磁性体層と強磁性体層（固着層あるいは磁化固定層とも呼ばれる）との 2 層構成を有していることが好ましく、これによって、これらの 2 層の間に働く交換相互作用によって強い一方向の磁気異方性を有することができる。尚、磁化固定層がトンネル絶縁膜と接する。磁化方向が比較的容易に回転する第 2 の強磁性体層は、自由層あるいは記録層とも呼ばれる。トンネル絶縁膜は、第 2 の強磁性体層（記録層）と磁化固定層との間の磁氣的結合を切ると共に、トンネル電流を流すための役割を担う。

【0055】

強磁性体層（固着層、磁化固定層）及び第 2 の強磁性体層（記録層、自由層）は、例えば、遷移金属磁性元素、具体的には、ニッケル（Ni）、鉄（Fe）又はコバルト（Co）から構成された強磁性体、あるいはこれらの合金（例えば、Co-Fe、Co-Fe-Ni、Ni-Fe 等）を主成分とする強磁性体から構成することができる。また、所謂ハーフメタリック強磁性体材料や、CoFeB といったアモルファス強磁性体材料を用いることもできる。反強磁性体層を構成する材料として、例えば、鉄-マンガン合金、ニッケル-マンガン合金、白金-マンガン合金、イリジウム-マンガン合金、ロジウム-マンガン合金、コバルト酸化物、ニッケル酸化物を挙げることができる。これらの層は、例えば、スパッタリング法、イオンビーム堆積法、真空蒸着法に例示される物理的气相成長法（PVD 法）、ALD（Atomic Layer Deposition）法に代表される CVD 法に

て形成することができる。

【0056】

トンネル絶縁膜を構成する絶縁材料として、アルミニウム酸化物 (AlO_x)、アルミニウム窒化物 (AlN)、マグネシウム酸化物 (MgO)、マグネシウム窒化物、シリコン酸化物、シリコン窒化物を挙げることができ、更には、 Ge 、 NiO 、 CdO_x 、 HfO_2 、 Ta_2O_5 、 BN 、 ZnS を挙げることができる。トンネル絶縁膜は、例えば、スパッタリング法にて形成された金属膜を酸化若しくは窒化することにより得ることができる。より具体的には、トンネル絶縁膜を構成する絶縁材料としてアルミニウム酸化物 (AlO_x) を用いる場合、例えば、スパッタリング法にて形成されたアルミニウムを大気中で酸化する方法、スパッタリング法にて形成されたアルミニウムをプラズマ酸化する方法、スパッタリング法にて形成されたアルミニウムをIPCプラズマで酸化する方法、スパッタリング法にて形成されたアルミニウムを酸素中で自然酸化する方法、スパッタリング法にて形成されたアルミニウムを酸素ラジカルで酸化する方法、スパッタリング法にて形成されたアルミニウムを酸素中で自然酸化させるときに紫外線を照射する方法、アルミニウムを反応性スパッタリング法にて成膜する方法、酸化アルミニウムをスパッタリング法にて成膜する方法を例示することができる。あるいは又、トンネル絶縁膜をALD (Atomic Layer Deposition) 法によって形成することができる。

【0057】

積層構造のパターニングは、例えば、反応性イオンエッチング (RIE) 法やイオンミリング法にて行うことができる。また、場合によっては、所謂リフトオフ法にてパターニングを行うこともできる。

【0058】

書込みワード線やビット線、ダミー線は、例えば、アルミニウム、 $Al-Cu$ 等のアルミニウム系合金、銅 (Cu) から成り、例えば、スパッタリング法に例示されるPVD法や、CVD法、電解メッキ法に代表されるメッキ法にて形成することができる。

【0059】

本発明にあっては、限定するものではないが、

- (a) 半導体基板に形成された選択用トランジスタ、
- (b) 選択用トランジスタを覆う第1の層間絶縁層、
- (c) 第2の層間絶縁層、並びに、
- (d) 第3の層間絶縁層、

を更に備え、

書込みワード線は、第1の層間絶縁層上に形成されており、

第2の層間絶縁層は、書込みワード線及び第1の層間絶縁層上を覆い、

第1の強磁性体層は、第2の層間絶縁層上に形成されており、

第3の層間絶縁層は、トンネル磁気抵抗素子及び第2の層間絶縁層を覆い、

第1の強磁性体層の延在部、あるいは、第1の強磁性体層から第2の層間絶縁層上を延びる引き出し電極が、第2の層間絶縁層及び第1の層間絶縁層に設けられた接続孔（あるいは接続孔とランディングパッド）を介して選択用トランジスタに電氣的に接続されており、

ビット線が第3の層間絶縁層上に形成されている構成とすることができる。

【0060】

接続孔は、不純物がドーピングされたポリシリコンや、タングステン、Ti、Pt、Pd、Cu、TiW、TiNW、 WSi_2 、 $MoSi_2$ 等の高融点金属や金属シリサイドから構成することができ、化学的気相成長法（CVD法）や、スパッタリング法に例示されるPVD法に基づき形成することができる。

【0061】

選択用トランジスタは、例えば、周知のMIS型FETやMOS型FET、バイポーラトランジスタから構成することができる。

【0062】

第1の層間絶縁層や第2の層間絶縁層、第3の層間絶縁層を構成する材料として、酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、 $SiON$ 、 $SiON$ 、SOG、NSG、BPSG、PSG、BSG、FSG、 $SiOC$ 、 SiC 、有機膜（所謂Low-k材料）、あるいは、LTOを例示することができる。

【0063】

本発明の第1の態様に係る不揮発性磁気メモリ装置、若しくは、本発明の第1の態様に係る不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法にあつては、第n番目のビット線に流される電流 $g(0) \cdot I(n)_{BL}$ によって形成される磁界（主磁界と呼ぶ）、K本のビット線のそれぞれに流される電流 $g(k) \cdot I(n)_{BL}$ によって形成される磁界（補償磁界と呼ぶ）、及び、第m番目の書込みワード線に流れる電流 $I(m)_{RWL}$ によって形成される磁界に基づく合成磁界によって、第m番目の書込みワード線と第n番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第m番目の書込みワード線と前記K本のビット線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されている。ところで、電流 $I(n)_{BL}$ によって第n番目のビット線及びK本のビット線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲイン（フィルター係数あるいはタップ係数とも呼ばれる）とみなした空間的なFIRフィルターが、第n番目のビット線及びK本のビット線によって構成されている。

【0064】

また、本発明の第2の態様に係る不揮発性磁気メモリ装置、若しくは、本発明の第2の態様に係る不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法にあつては、第m番目の書込みワード線に流される電流 $g(0) \cdot I(m)_{RWL}$ によって形成される磁界（主磁界）、K本の書込みワード線のそれぞれに流される電流 $g(k) \cdot I(m)_{RWL}$ によって形成される磁界（補償磁界）、及び、第n番目のビット線に流される電流 $I(n)_{BL}$ によって形成される磁界に基づく合成磁界によって、第m番目の書込みワード線と第n番目のビット線との重複領域に位置するトンネル磁気抵抗素子にはデータが書き込まれ、第n番目のビット線と前記K本の書込みワード線との重複領域に位置するトンネル磁気抵抗素子のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されている。ところで、電流 $I(m)_{RWL}$ によって第m番目の書込みワード線及びK本の書込みワード線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間

的な F I R フィルターが、第 m 番目の書込みワード線及び K 本の書込みワード線によって構成されている。

【0065】

従って、本発明において、係数 $g(0)$ 及び $g(k)$ は、F I R フィルターにおける、目標の特性（例えば、ナイキストの第 1 基準を満足する特性）とフィルター出力との振幅誤差が最小になるような周知の算出方法に基づき比較的容易に得ることができる。このような算出方法として、ウィナー・フィルターの設計方法、最小 2 乗平均 (LMS) アルゴリズムを用いた算出方法、漸化的最小 2 乗 (RLS) アルゴリズムを用いた算出方法、最急降下アルゴリズムを用いた算出方法、学習同定法を用いた算出方法といった、周知の算出方法を挙げることができる。

【0066】

そして、係数 $g(0)$ 及び $g(k)$ を規定することで、隣接するトンネル磁気抵抗素子にデータが誤って書き込まれることを確実に防止することができ、その結果、隣接するトンネル磁気抵抗素子に同時にデータを書き込むことが可能となる。

【0067】

【発明の実施の形態】

本発明の不揮発性磁気メモリ装置、及び、不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込方法を説明する前に、先ず、第 n 番目の書込導線（ビット線あるいは書込みワード線）に流される電流 $g(n) \cdot I(n)$ [ここで、 $g(0)$ は係数] によって磁界（主磁界）が形成され、第 q 番目（但し、 $q = n + k$ であり、 k は $\pm 1, \pm 2 \dots$ ）の書込導線（但し、合計本数は K 本であり、 k のとる値の最大値の絶対値を k_0 としたとき、 $K = 2k_0$ とする）のそれぞれに流される電流 $g(k) \cdot I(n)$ [ここで、 $g(k)$ は係数] によって磁界（補償磁界）が形成される場合を例にとり、電流 $I(n)$ によって第 n 番目の書込導線及び第 q 番目の書込導線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な F I R フィルターが、これらの第 n 番目の書込導線、及び、その両側に配置

されたK本の書込導線（第n番目の書込導線を挟んで、一方の側に配置された k_0 本の書込導線及び他方の側に配置された k_0 本の書込導線）によって構成される点についての説明を行うが、それに先立ち、時間領域のFIRフィルターについての説明を行う。

【0068】

時間領域のFIRフィルターを用いるデジタル伝送系の構成を、図41に示す。デジタル伝送系において受信された受信信号 $a(j)$ は ± 1 の値をとり、なにも送られていないときは0であるとする。デジタル伝送系において受信された受信信号 $a(j)$ は、多くの場合、データレートのクロックでAD変換され、離散的な受信信号 $x(\alpha)$ となる。ここで、 $x(\alpha)$ は等化前の受信信号であり、受信信号 $a(j)$ とデジタル伝送系のパルス応答関数（伝達関数） $upr(\alpha)$ との積を線形に重ね合わせたものであり、以下の式（8）で表すことができる。尚、 α は受信側の離散的な時間を示す整数であり、 j は送信側の離散的な時間を示す整数である。

【0069】

$$x(\alpha) = \sum_j a(j) \cdot upr(\alpha - j) \quad (8)$$

【0070】

等化前の受信信号 $x(\alpha)$ がFIRフィルターを通過すると、等化後の受信信号 $y(\alpha)$ が得られる。この等化後の受信信号 $y(\alpha)$ は、FIRフィルターのタップ・ゲイン $g(k)$ と $x(\alpha)$ との積を線形に重ね合わせたものであり、以下の式（9-1）、（9-2）で表すことができる。

【0071】

$$y(\alpha) = \sum_k g(k) \cdot x(\alpha - k) \quad (9-1)$$

$$= \sum_k g(k) \cdot \left\{ \sum_j a(j) \cdot upr(\alpha - k - j) \right\} \quad (9-2)$$

【0072】

時間領域のFIRフィルターの構成例を図42に示す。時間間隔Tでサンプリ

ングされた離散的な等化前の受信信号 $x(\alpha)$ を $(2|k_0|+1)$ 段の遅延素子 FF (フリップ・フロップから構成されている) に入力し、各遅延素子 FF の出力にタップ・ゲイン $g(k)$ を掛けてから足し合わせることで、等化後の受信信号 $y(\alpha)$ を得ることができる。

【0073】

尚、図42においては、 $|k_0|=2$ の場合を示している。即ち、5タップの FIR フィルターであり、等化前の受信信号 $x(\alpha)$ を入力すると、以下の式 (10) に示す出力が得られる。

【0074】

$$y(\alpha) = \sum_{k=-2}^2 g(k) \cdot x(\alpha-k) \quad (10)$$

【0075】

時間 T 分の遅延は、周波数特性では $\exp(j\omega T)$ に相当するので、 $x(\alpha)$ の周波数特性を種々変えることができ、タップの長さ $[(2|k_0|+1)]$ の値にも依るが、所望の波形を有する出力 [等化後の受信信号 $y(\alpha)$] を得ることができる。

【0076】

「 $\cdots 00010000\cdots$ 」のように、1クロック分の時間だけ1となり、それ以外は0となるようなパルスで、ここでは単位パルスと呼ぶことにする。この単位パルスを、例えば、図41に示したデジタル伝送系が受信したときの応答を、パルス応答と呼ぶ。これはアナログ伝送系のインパルス応答に代わるものである。図43の(A)に示す単位パルスをデジタル伝送系が受信した場合、例えば、図43の(B)に示すパルス応答が得られる。

【0077】

時間領域の FIR フィルターによって所望の波形に整形することを等化という。等化の最も簡単な例にあつては、図44に示すように、ナイキストの第1基準に近づくように等化される。ナイキストの第1基準とは、サンプリング周期である T 毎の振幅が規定されており、パルスが存在したところで1、それ以外で0と

なることを云う。

【0078】

時間領域のFIRフィルターのタップ・ゲイン $g(k)$ は、目標の特性（ナイキストの第1基準）とフィルター出力との振幅誤差が最小になるような算出方法に基づき得ることができる。このような算出方法として、ウィナー・フィルターの設計方法、最小2乗平均（LMS）アルゴリズムを用いた算出方法、漸化的最小2乗（RLS）アルゴリズムを用いた算出方法、最急降下アルゴリズムを用いた算出方法、学習同定法を用いた算出方法といった周知の算出方法を挙げることができる。

【0079】

ウィナー・フィルターの設計方法を用いて算出された、3タップのFIRフィルター、5タップのFIRフィルター、及び、7タップのFIRフィルターにおけるタップ・ゲイン $g(k)$ は、それぞれ、以下の表1、表2及び表3のとおりとなる。

【0080】

[表1]

$g(-1)$: -0.6545
$g(0)$: 1.6432
$g(1)$: -0.6545

【0081】

[表2]

$g(-2)$: 0.0885
$g(-1)$: -0.7603
$g(0)$: 1.7222
$g(1)$: -0.7603
$g(2)$: 0.0885

【0082】

[表3]

$g(-3)$: -0.0477
---------	-----------

$g(-2) : 0.1405$
 $g(-1) : -0.7871$
 $g(0) : 1.7373$
 $g(1) : -0.7871$
 $g(2) : 0.1405$
 $g(3) : -0.0477$

【0083】

図41に示したデジタル伝送系において、「0, 0, 0, 0, -1, +1, -1, -1, +1, +1, -1, +1, 0, 0, 0, 0」というデータを受信したとする。このときの送信データを図示すると、図45の(A)のとおりとなる。ここで、図43の(B)に示した場合と伝送特性が同じであれば、送信データが「+1」における時刻にあっては、図43の(B)に示したパルス応答を、送信データが「-1」における時刻にあっては、図43の(B)に示したパルス応答を反転させたものを置いて、これらのパルス応答の波形を重ね合わせたものが、図45の(B)に示す等化前の受信信号 $x(\alpha)$ となる。そして、等化前の受信信号 $x(\alpha)$ がFIRフィルターを通ると、図46に示す等化後の受信信号 $y(\alpha)$ が得られる。等化後の受信信号 $y(\alpha)$ は、ナイキストの第1基準に近くように等化されているので、送信データが「+1」の時刻で「+1」、「-1」の時刻で「-1」、「0」の時刻で「0」となっている。それ故、識別器によって容易に元の送信データを復元することができる。

【0084】

図4は、デジタル伝送で用いられる時間領域のFIRフィルターに関する図41～図46の予備知識を元に、トンネル磁気抵抗素子の書込導線（ビット線あるいは書込みワード線）が空間的なFIRフィルターを構成することを説明するための図である。

【0085】

点 $(d \cdot k, 0)$ [ここでは、 $k = 0, \pm 1, \pm 2 \dots$] に置かれた間隔 d の無限に長い $(2k_0 + 1)$ 本の平行な書込導線の内の第 k 番目の書込導線のみ $I(0)$ の電流が流れているとき、点 $(0, h)$ におけるX軸方向及びY軸方

向の磁界 $H_X(0, h)_k$, $H_Y(0, h)_k$ は、式 (3-1) 及び式 (3-2) から導出された以下の式 (11-1) 及び式 (11-2) に基づき求めることができる。

【0086】

$$H_X(0, h)_k = I(0) \cdot \{\sin(\theta_{0,k}) / 2\pi r_{0,k}\} \quad (11-1)$$

$$H_Y(0, h)_k = I(0) \cdot \{-\cos(\theta_{0,k}) / 2\pi r_{0,k}\} \quad (11-2)$$

【0087】

尚、式 (11-1) 及び式 (11-2) 中の $r_{0,k}$, $\sin(\theta_{0,k})$, $\cos(\theta_{0,k})$ は、

$$r_{0,k} = \{(d \cdot k)^2 + h^2\}^{1/2}$$

$$\sin(\theta_{0,k}) = h / r_{0,k}$$

$$\cos(\theta_{0,k}) = -d \cdot k / r_{0,k}$$

である。

【0088】

更には、 $(2k_0 + 1)$ 本の平行な書込導線の内の全てに $I(0)$ の電流が流れているとき、点 $(0, h)$ における X 軸方向及び Y 軸方向の磁界 $H_X(0, h)_{SUM}$, $H_Y(0, h)_{SUM}$ は、以下の式 (12-1) 及び式 (12-2) に基づき求めることができる。但し、 k_0 は k のとる値の最大値の絶対値である。

【0089】

$$H'_X(0, h)_{SUM} = \sum_{k=-k_0}^k I(0) \cdot \frac{\sin\theta_{0,k}}{2\pi r_{0,k}} \quad (12-1)$$

$$H'_Y(0, h)_{SUM} = \sum_{k=-k_0}^k I(0) \cdot \frac{-\cos\theta_{0,k}}{2\pi r_{0,k}} \quad (12-2)$$

【0090】

ところで、 $(2k_0 + 1)$ 本の平行な書込導線の内の、例えば第 0 番目の書込導線のみに $I(0)$ の電流が流れているとき（この状態は先に述べた単位パルスに相当する）形成されると想定した磁界は、図 40 に示したとおりである。そして、この磁界は、先に説明し、図 43 の (B) に示したパルス応答に対応してい

る。更には、この磁界は、式(9-1)における $x(\alpha=0)$ 、あるいは、図42に示した $x(\alpha)$ にも対応している。また、 $(2k_0+1)$ 本の平行な書込導線の内の、例えば第 k 番目の書込導線のみに $I(0)$ の電流が流れているとき形成されると想定した磁界は、式(9-1)における $x(\alpha=k)$ 、あるいは、図42に示した $x(\alpha=k)$ に対応している。従って、電流 $I(0)$ によって第0番目の書込導線及び $2k_0$ 本の書込導線に形成されると想定した磁界を離散的なパルス応答とみなすことができる。

【0091】

そして、電流 $I(0)$ に適切な係数 $g(0)$ を掛けた電流 $g(0) \cdot I(0)$ を第0番目の書込導線に流し、電流 $I(0)$ に適切な係数 $g(k)$ を掛けた電流 $g(k) \cdot I(0)$ を第 k 番目の書込導線に流したとき、点 $(0, h)$ における X 軸方向及び Y 軸方向の磁界 $H_X(0, h)_{SUM}$ 、 $H_Y(0, h)_{SUM}$ は、以下の式(13-1)及び式(13-2)に基づき求めることができる。但し、 k_0 は k のとりうる値の最大値の絶対値である。

【0092】

$$H_X(0, h)_{SUM} = \sum_{k=-k_0}^k g(k) \cdot I(0) \cdot \frac{\sin \theta_{0,k}}{2\pi r_{0,k}} \quad (13-1)$$

$$H_Y(0, h)_{SUM} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(0) \cdot \frac{-\cos \theta_{0,k}}{2\pi r_{0,k}} \quad (13-2)$$

【0093】

ところで、電流 $I(0)$ によって第0番目の書込導線及び $2k_0$ 本の書込導線に形成されると想定した磁界を離散的なパルス応答とみなすことができるので、式(13-1)及び式(13-2)における係数 $g(0)$ 、 $g(k)$ はタップ・ゲインに相当し、結局、電流 $I(0)$ によって第0番目の書込導線及び $2k_0$ 本の書込導線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的なFIRフィルタが、第0番目の書込導線及び $2k_0$ 本の書込導線によって構成されていると云える。

【0094】

ここで、これらの係数 $g(0)$, $g(k)$ がナイキストの第1基準を略満足するように規定されていれば、即ち、間隔 d だけ離れた第 k 番目の書込導線 [位置する座標 $(d \cdot k, 0)$] において、電流 $I(0)$ が流れていると想定した場合には点 $(d \cdot k, h)$ における磁界が所定の値 H_0 あるいはその近傍の値となり、電流 $I(0)$ が流れていないと想定した場合には点 $(d \cdot k, h)$ における磁界が0あるいは0近傍の値となり、電流 $-I(0)$ が流れていると想定した場合には点 $(d \cdot k, h)$ における磁界が所定の値 $-H_0$ あるいはその近傍の値となるように規定されていれば、以下に説明する不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータの書き込みの際、誤書き込みの発生を確実に防止することができる。

【0095】

より具体的には、間隔 d だけ離れて並置された N 本のビット線の内の第 n 番目 (但し、 n は、 $1, 2 \dots N$ のいずれか) において、電流 $I(n)_{BL}$ が流れていると想定した場合には、第 n 番目のビット線に電氣的に接続されたトンネル磁気抵抗素子の第2の強磁性体層 (記録層、自由層) において電流 $I(n)_{BL}$ によって生成する磁界が所定の値 H_0 あるいはその近傍の値となり、電流 $I(n)_{BL}$ が流れていないと想定した場合にはこの第2の強磁性体層において電流 $I(n)_{BL}$ に起因した磁界が0あるいは0近傍の値となり、電流 $-I(n)_{BL}$ が流れていると想定した場合にはこの第2の強磁性体層において電流 $-I(n)_{BL}$ によって生成する磁界が所定の値 $-H_0$ あるいはその近傍の値となるように、これらの係数 $g(0)$, $g(k)$ を規定すればよい。

【0096】

あるいは又、間隔 d だけ離れて並置された M 本の書込みワード線の内の第 m 番目 (但し、 m は、 $1, 2 \dots M$ のいずれか) において、電流 $I(m)_{RWL}$ が流れていると想定した場合には、第 m 番目の書込みワード線に対向したトンネル磁気抵抗素子の第2の強磁性体層 (記録層、自由層) において電流 $I(m)_{RWL}$ によって生成する磁界が所定の値 H'_0 あるいはその近傍の値となり、電流 $I(m)_{RWL}$ が流れていないと想定した場合にはこの第2の強磁性体層において電流 $I(m)_{RWL}$ に起因した磁界が0あるいは0近傍の値となり、電流 $-I(m)_{RWL}$ が

流れていると想定した場合にはこの第 2 の強磁性体層において電流 $-I$ (m) RW L によって生成する磁界が所定の値 $-H'_0$ あるいはその近傍の値となるように、これらの係数 $g(0)$, $g(k)$ を規定すればよい。

【0097】

図 4 に示した例にあっては、5 本の書込導線が存在し、第 k 番目（ここで、 $k = 0, \pm 1, \pm 2$ ）のそれぞれの書込導線に $g(k) \cdot I(0)$ の書き込み電流が流れている。尚、図 4 においては、電流 $I(0)$ を「 I 」で表示している。ここで、第 k 番目の書込導線に流れる電流によって第 s 番目（ s は、 $-2, -1, 0, 1, 2$ のいずれか）のトンネル磁気抵抗素子の記録層が位置する点 $(d \cdot s, h)$ における X 軸方向及び Y 軸方向の磁界 $H_X(d \cdot s, h)_{SUM}$ 及び $H_Y(d \cdot s, h)_{SUM}$ は、式 (14-1) 及び式 (14-2) から求めることができる。ここで、 k_0 は k のとる値の最大値の絶対値であり、図 4 に示した例においては、 $k_0 = 2$ である。また、図 4 においては、磁界 $H_X(d \cdot s, h)_{SUM}$ 及び $H_Y(d \cdot s, h)_{SUM}$ を、それぞれ、便宜上、 $H_{Xn}(s)$ 及び $H_{Yn}(s)$ で表している。

【0098】

$$H_X(d \cdot s, h)_{SUM} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(0) \cdot \frac{\sin \theta_{d \cdot s, k}}{2\pi r_{d \cdot s, k}} \quad (14-1)$$

$$H_Y(d \cdot s, h)_{SUM} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(0) \cdot \frac{-\cos \theta_{d \cdot s, k}}{2\pi r_{d \cdot s, k}} \quad (14-2)$$

但し、

$$r_{d \cdot s, k} = \left[\{(s-k)d\}^2 + h^2 \right]^{1/2}$$

$$\sin \theta_{d \cdot s, k} = \frac{h}{r_{d \cdot s, k}}$$

$$\cos \theta_{d \cdot s, k} = \frac{(s-k)d}{r_{d \cdot s, k}}$$

【0099】

このように、5 本の書込導線によって空間的な FIR フィルターが構成されて

いるとする。即ち、電流 $I(0)$ によって第 0 番目の書込導線及び $2k_0$ の書込導線のそれぞれに基づき形成されると想定した磁界を離散的なパルス応答 (図 40 参照) とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な FIR フィルターが、第 0 番目の書込導線、及び、第 0 番目の書込導線の両側に 2 本ずつ配置された計 4 本の書込導線によって構成されているとする。そして、第 0 番目のトンネル磁気抵抗素子以外のトンネル磁気抵抗素子が位置する位置において生成する磁界が出来る限り小さくなるように、係数 (タップ・ゲイン) $g(0)$, $g(k)$ に比例した電流 $g(0) \cdot I(0)$, $g(k) \cdot I(0)$ を各書込導線に流した場合の書き込み電流 (規格化された書き込み電流) を、図 2 に示す。この場合、図 44 に示したと同様に、ナイキストの第 1 基準に近づくように各書込導線に流れる電流を調整している。具体的には、係数 (タップ・ゲイン) $g(0)$, $g(k)$ を表 2 に示した値としている。

【0100】

また、このとき、第 0 番目の書込導線に電流 $g(0) \cdot I(0)$ を流したとき、第 0 番目のトンネル磁気抵抗素子が位置する点 $(0, h)$ における X 軸方向の磁界 $H_N(0, h)$ を式 (7) に基づき、以下の式から求めた結果を、図 1 に実線 $g(0) \cdot I$ で示す。尚、図 1 の横軸の単位は、「d」である。更には、 $\beta = (h/d) = 1.0$ としている。

【0101】

$$H_N(0, h) = g(0) \cdot \beta^2 / (x^2 + \beta^2) \quad (7-A)$$

【0102】

また、第 1 番目の書込導線に電流 $g(1) \cdot I(0)$ を流したとき、第 1 番目のトンネル磁気抵抗素子が位置する点 (d, h) における X 軸方向の磁界 $H_N(d, h)$ を式 (7) に基づき、以下の式から求めた結果を、図 1 に点線 $g(1) \cdot I$ で示す。

【0103】

$$H_N(d, h) = g(1) \cdot \beta^2 / \{ (x-1)^2 + \beta^2 \} \quad (7-B)$$

【0104】

更には、第 (-1) 番目の書込導線に電流 $g(-1) \cdot I(0)$ を流したとき

、第 (- 1) 番目のトンネル磁気抵抗素子が位置する点 (- d , h) における X 軸方向の磁界 $H_N(-d, h)$ を式 (7) に基づき、以下の式から求めた結果を、図 1 に点線 $g (- 1) \cdot I$ で示す。

【 0 1 0 5 】

$$H_N(-d, h) = g (- 1) \cdot \beta^2 / \{ (x + 1)^2 + \beta^2 \} \quad (7 - C)$$

【 0 1 0 6 】

また、第 2 番目の書込導線に電流 $g (2) \cdot I (0)$ を流したとき、第 2 番目のトンネル磁気抵抗素子が位置する点 (2 d , h) における X 軸方向の磁界 $H_N(2d, h)$ を式 (7) に基づき、以下の式から求めた結果を、図 1 に実線 $g (2) \cdot I$ で示す。

【 0 1 0 7 】

$$H_N(2d, h) = g (2) \cdot \beta^2 / \{ (x - 2)^2 + \beta^2 \} \quad (7 - D)$$

【 0 1 0 8 】

更には、第 (- 2) 番目の書込導線に電流 $g (- 2) \cdot I (0)$ を流したとき、第 (- 2) 番目のトンネル磁気抵抗素子が位置する点 (- 2 d , h) における X 軸方向の磁界 $H_N(-2d, h)$ を式 (7) に基づき、以下の式から求めた結果を、図 1 に実線 $g (- 2) \cdot I$ で示す。

【 0 1 0 9 】

$$H_N(-2d, h) = g (- 2) \cdot \beta^2 / \{ (x + 2)^2 + \beta^2 \} \quad (7 - E)$$

【 0 1 1 0 】

そして、磁界 $H_N(0, h)$, $H_N(d, h)$, $H_N(-d, h)$, $H_N(2d, h)$, $H_N(-2d, h)$ を重ね合わせた磁界、即ち、式 (1 4 - 1) を一般化した以下の式 (1 5) から求まる X 軸方向の磁界 $H (X , h)$ を規格化した式 (1 6) に基づく値 $H_N(x, h)_{SUM}$ のグラフを、図 1 に太い実線 $g \cdot I$ で示す。

【 0 1 1 1 】

$$H (X , h) = \sum_{k=-k_0}^{k_0} g (k) \cdot I (0) \cdot \frac{\sin \theta_k}{2\pi r_k} \quad (15)$$

$$H_{N(x, h)_{SUM}} = \sum_{k=-k_0}^{k_0} g (k) \cdot \frac{\beta^2}{(x - k)^2 + \beta^2} \quad (16)$$

【0112】

尚、式(15)中、 r_k , $\sin(\theta_k)$ は、

$$r_k = \{(X - d \cdot k)^2 + h^2\}^{1/2}$$

$$\sin(\theta_k) = h / r_k$$

である。

【0113】

図1から明らかなように、データを書き込むべき第0番目のトンネル磁気抵抗素子以外のトンネル磁気抵抗素子にあっては、X方向の磁界の大きさは殆どゼロになっている。

【0114】

同様にして、3本及び7本の書込導線を空間的なFIRフィルターとみなしたときの、式(15)から求まるX軸方向の磁界 $H(X, h)$ を規格化した式(16)に基づく値 $H_N(x, h)_{SUM}$ は、図3の(A)及び(B)に示すとおりとなる。尚、図3の(A)及び(B)の横軸の単位は「d」である。この場合、図44に示したと同様に、ナイキストの第1基準に近づくように各書込導線に流れる電流を調整している。具体的には、係数(タップ・ゲイン) $g(0)$, $g(k)$ を表1及び表3に示した値としている。更には、 $\beta = (h/d) = 1.0$ としている。図3の(A)及び(B)からも明らかなように、データを書き込むべき第0番目のトンネル磁気抵抗素子以外のトンネル磁気抵抗素子にあっては、X方向の磁界の大きさは殆どゼロになっている。

【0115】

$\beta = h/d$ の値を0.1, 0.5, 1.0とし、3本の書込導線を空間的なFIRフィルターとみなしたときのタップ・ゲイン $g(0)$, $g(k)$ の値を、以下の表4に示す。

【0116】

[表4]

$\beta = h/d$	0.1	0.5	1.0
$g(-1)$	-0.0099	-0.2089	-0.6545
$g(0)$	1.0002	1.0823	1.6432

g (1) - 0.0099 - 0.2089 - 0.6545

【0117】

以上の説明を元に、以下、図面を参照して、発明の実施の形態（以下、実施の形態と略称する）に基づき本発明を説明する。

【0118】

（実施の形態1）

実施の形態1は、本発明の第1の態様に係る不揮発性磁気メモリ装置に関する。実施の形態1のTMRタイプのトンネル磁気抵抗素子TMJの模式的な一部断面図を図5に示し、不揮発性磁気メモリ装置の等価回路図を図6に示し、1つのTMRタイプのトンネル磁気抵抗素子TMJの等価回路図を図7に示す。尚、図6、図8、図11、図17、図33～図35、図37においては、選択用トランジスタTRの等価回路の図示を省略している。また、1つのTMRタイプのトンネル磁気抵抗素子TMJの断面構造及び等価回路図は、後述する実施の形態2～実施の形態10においても同様とすることができる。

【0119】

実施の形態1における1つのトンネル磁気抵抗素子TMJは、下から、第1の強磁性体層31、 AlO_x から成るトンネル絶縁膜34、Ni-Fe合金から成る第2の強磁性体層35（自由層あるいは記録層とも呼ばれる）の積層構造を有する。第1の強磁性体層31は、より具体的には、下から、Fe-Mn合金から成る反強磁性体層32、Ni-Fe合金から成る磁化固定層33の2層構成を有する。この磁化固定層33は、反強磁性体層32との交換結合によって、磁化の方向がピニング（pinning）される。外部印加磁界（先に説明した合成磁界）によって、第2の強磁性体層（記録層）35の磁化の方向は、磁化固定層33に対して平行又は反平行に変えられる。第1の強磁性体層31は、第2の層間絶縁層24を介して、書込みワード線RWLと電氣的に絶縁されている。書込みワード線RWLは、第1の方向（図面の紙面垂直方向）に延びている。一方、第2の強磁性体層35は、銅（Cu）、タンタル（Ta）、TiN等から成るトップコート膜36を介して、ビット線BLに電氣的に接続されている。トップコート膜36は、ビット線BLを構成する原子と強磁性体層（記録層）35を構成する原子

の相互拡散の防止、接触抵抗の低減、及び、強磁性体層（記録層）35の酸化防止を担っている。第3の層間絶縁層26は、トンネル磁気抵抗素子TMJ及び第2の層間絶縁層24を覆っている。また、ビット線BLは、第3の層間絶縁層26上に形成され、第1の方向と異なる（具体的には直交する）第2の方向（図面の左右方向）に延びている。図5中、参照番号37は反強磁性体層32の下面に接続された引き出し電極を示す。

【0120】

MOS型FETから構成された選択用トランジスタTRが、半導体基板10に形成されている。より具体的には、選択用トランジスタTRは、素子分離領域11に囲まれた活性領域内に形成され、ゲート電極12、ゲート絶縁膜13、ソース／ドレイン領域14A、14Bから構成されている。例えばSiO₂から成る第1の層間絶縁層21は、選択用トランジスタTRを覆っている。タングステンプラグから成る第1の接続孔22は、第1の層間絶縁層21に設けられた第1の開口部内に形成されており、選択用トランジスタTRの一方のソース／ドレイン領域14Bと接続されている。第1の接続孔22は、更に、第1の層間絶縁層21上に形成されたランディングパッド23と接続されている。Al-Cu合金から成る書込みワード線RWLも第1の層間絶縁層21上に形成されている。書込みワード線RWL及び第1の層間絶縁層21上には、第2の層間絶縁層24が形成されている。第2の層間絶縁層24上に引き出し電極37が形成されており、引き出し電極37は、第2の層間絶縁層24に設けられたタングステンプラグから成る第2の接続孔25を介して、ランディングパッド23に接続されている。尚、選択用トランジスタTRの他方のソース／ドレイン領域14Aは、コンタクトホール15を介してセンス線16に接続されている。

【0121】

場合によっては、選択用トランジスタTRは不要である。

【0122】

図6に示すように、実施の形態1の不揮発性磁気メモリ装置は、

(A) 第1の方向に延びるM本（但し、 $M \geq 1$ であり、実施の形態1においては $M=32$ ）の書込みワード線RWL_m ($m=1, 2, \dots, M$) と、

(B) 第1の方向とは異なる第2の方向に延びるN本（但し、 $N \geq 2$ であり、実施の形態1においては $N=8$ ）のビット線 BL_n ($n=1, 2, \dots, N$) と

(C) 書込みワード線 RWL_m とビット線 BL_n との重複領域に設けられた、 $N \times M$ ($=8 \times 32$) 個の上述したトンネル磁気抵抗素子 TMJ 、
から成る不揮発性磁気メモリアレイを備えている。

【0123】

そして、第 m 番目（但し、 m は、 $1, 2, \dots, M$ のいずれか）の書込みワード線 RWL_m と第 n 番目（但し、 n は、 $1, 2, \dots, N$ のいずれか）のビット線 BL_n との重複領域に位置するトンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータが書き込まれるとき、第 m 番目の書込みワード線 RWL_m に電流 $I(m)_{RWL}$ が流され、且つ、第 n 番目のビット線 BL_n に電流 $g(0) \cdot I(n)_{BL}$ [ここで、 $g(0)$ は係数] が流され、併せて、第 q 番目（但し、 $q=n+k$ であり、 k は $\pm 1, \pm 2, \dots$ の値を取り、実施の形態1においては、 k は、 $-2, -1, 1, 2$ の値をとる）のビット線 BL_q （但し、合計本数は K 本）に電流 $g(k) \cdot I(n)_{BL}$ [ここで、 $g(k)$ は係数] が流される。

【0124】

ここで、電流 $I(n)_{BL}$ によって第 n 番目のビット線 BL_n 及び K 本のビット線 BL_q に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的なFIRフィルターが、これらの第 n 番目のビット線 BL_n 及び K 本のビット線 BL_q によって構成されている。

【0125】

更には、第 n 番目のビット線 BL_n に流される電流 $g(0) \cdot I(n)_{BL}$ によって形成される磁界（主磁界）、 K 本のビット線 BL_q に流される電流 $g(k) \cdot I(n)_{BL}$ のそれぞれによって形成される磁界（補償磁界）、及び、第 m 番目の書込みワード線に流される電流 $I(m)_{RWL}$ によって形成される磁界に基づく合成磁界によって、第 m 番目の書込みワード線 RWL_m と第 n 番目のビット線 BL_n との重複領域に位置するトンネル磁気抵抗素子 $TMJ_{(m,n)}$ にはデータが書き

込まれ、第 m 番目の書込みワード線 RWL_m と K 本のビット線 BL_q との重複領域に位置するトンネル磁気抵抗素子 $TMJ_{(m,q)}$ のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されている。

【0126】

例として k の値を ± 1 及び ± 2 とし、図39の簡単なモデルで近似したときの、 $\beta = (h/d) = 1.0$ における $g(-2)$ 、 $g(-1)$ 、 $g(0)$ 、 $g(1)$ 、 $g(2)$ の値を、表2に示した値とした。尚、 k のとり値の最大値の絶対値 k_0 は2である。また、 n の値と K の値との関係は、以下の表5のとおりである。

【0127】

[表5]

$n = 1$ のとき	$K = 2$
$n = 2$ のとき	$K = 3$
$3 \leq n \leq (N - 2)$ のとき	$K = 4$
$n = (N - 1)$ のとき	$K = 3$
$n = N$ のとき	$K = 2$

【0128】

尚、 $I(m)_{RWL}$ の値を m の値に応じて変えてもよく、また、 $I(n)_{BL}$ の値を n の値に応じて変えてもよいが、実施の形態1～実施の形態10においては、 $I(m)_{RWL}$ の値を m の値に拘わらず一定とし、 $I(n)_{BL}$ の値を n の値に拘わらず一定としている。また、一定値とした $I(n)_{RWL}$ の値を I_{RWL} で表し、一定値とした $|I(n)_{BL}|$ の値を I_{BL} で表す。

【0129】

ところで、 $g(-2)$ と $g(2)$ の値は同じであり、 $g(-1)$ と $g(1)$ の値は同じである。従って、以下の説明においては、 $g(-1) \cdot I_{BL}$ を流すための電流ソースと $g(1) \cdot I_{BL}$ を流すための電流ソースを1つの電流ソースから構成し、 $g(-2) \cdot I_{BL}$ を流すための電流ソースと $g(2) \cdot I_{BL}$ を流すための電流ソースを1つの電流ソースから構成する。実施の形態2～実施の形態5においても同様とする。

【0130】

即ち、各ビット線 BL_n には、電流 $\pm g(0) \cdot I(n)_{BL}$ [より、具体的には、電流 $g(0) \cdot I_{BL}$ 及び電流 $-g(0) \cdot I_{BL}$]、電流 $\pm g(\pm 1) \cdot I(n)_{BL}$ [より、具体的には、電流 $g(\pm 1) \cdot I_{BL}$ 及び電流 $-g(\pm 1) \cdot I_{BL}$]、電流 $\pm g(\pm 2) \cdot I(n)_{BL}$ [より、具体的には、電流 $g(\pm 2) \cdot I_{BL}$ 及び電流 $-g(\pm 2) \cdot I_{BL}$] をビット線 BL_n に流す電流源ユニット BCS_n が備えられている。

【0131】

電流源ユニット BCS_n には、MOS型FETから成る開閉回路 SW_{BLn-i} (ここで、 $i=1, 2, 3, 4, 5, 6$) が備えられており、開閉回路 SW_{BLn-i} のオン・オフ動作によって、電流源ユニット BCS_n から、電流 $g(0) \cdot I_{BL}$ 及び電流 $-g(0) \cdot I_{BL}$ 、電流 $g(\pm 1) \cdot I_{BL}$ 及び電流 $-g(\pm 1) \cdot I_{BL}$ 、電流 $g(\pm 2) \cdot I_{BL}$ 及び電流 $-g(\pm 2) \cdot I_{BL}$ の6つの電流の内のいずれか1つの電流をビット線 BL_n に流すことができる。尚、図6においては、第4番目のビット線 BL_4 に接続された電流源ユニット BCS_4 を示すが、他の電流源ユニット $BCS_1 \sim$ 電流源ユニット BCS_3 、電流源ユニット $BCS_5 \sim$ 電流源ユニット BCS_8 も、電流源ユニット BCS_4 と同じ構成を有する。

【0132】

尚、電流源ユニットや、後述するダミー線電流源、ビット線電流源、書込みワード線電流源は周知の回路構成とすることができるし、スイッチ回路や開閉回路は例えばMOS型FETから構成することができる。

【0133】

電流 $g(0) \cdot I_{BL}$ 又は電流 $-g(0) \cdot I_{BL}$ は、第 n 番目のビット線 BL_n に電氣的に接続された M 個のトンネル磁気抵抗素子 (トンネル磁気抵抗素子 $TMJ(1,n) \sim$ トンネル磁気抵抗素子 $TMJ(M,n)$) へのデータ書込みのための磁界を生成する電流 (以下、主磁界生成電流 $\pm g(0) \cdot I_{BL}$ と呼ぶ場合がある) である。

【0134】

一方、電流 $g(\pm 1) \cdot I_{BL}$ 又は電流 $-g(\pm 1) \cdot I_{BL}$ は、第 n 番目のビッ

ト線 BL_n に隣接した隣接ビット線 $BL_{n'}$ [但し、 $n' = n \pm 1$ であり、且つ、 $2 \leq n' \leq (N-1)$] に電氣的に接続されたトンネル磁気抵抗素子 (トンネル磁気抵抗素子 $TMJ(1, n')$ ~ トンネル磁気抵抗素子 $TMJ(M, n')$) へのデータ書込み時にビット線 $BL_{n'}$ に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ が流れる結果生成された磁界によって、第 n 番目のビット線 BL_n に電氣的に接続されたトンネル磁気抵抗素子 (トンネル磁気抵抗素子 $TMJ(1, n)$ ~ トンネル磁気抵抗素子 $TMJ(M, n)$) に記憶されたデータが破壊されることを防止するための補償磁界を生成する補償電流 (以下、第 1 補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ と呼ぶ場合がある) である。

【0135】

更には、電流 $g(\pm 2) \cdot I_{BL}$ 又は電流 $-g(\pm 2) \cdot I_{BL}$ は、第 n 番目のビット線 BL_n に隣接した隣接ビット線 $BL_{n''}$ [但し、 $n'' = n \pm 2$ であり、且つ、 $3 \leq n'' \leq (N-2)$] に電氣的に接続されたトンネル磁気抵抗素子 (トンネル磁気抵抗素子 $TMJ(1, n'')$ ~ トンネル磁気抵抗素子 $TMJ(M, n'')$) へのデータ書込み時にビット線 $BL_{n''}$ に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ が流れる結果生成された磁界によって、第 n 番目のビット線 BL_n に電氣的に接続されたトンネル磁気抵抗素子 (トンネル磁気抵抗素子 $TMJ(1, n)$ ~ トンネル磁気抵抗素子 $TMJ(M, n)$) に記憶されたデータが破壊されることを防止するための補償磁界を生成する補償電流 (以下、第 2 補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ と呼ぶ場合がある) である。

【0136】

即ち、隣接ビット線 $BL_{n'}$ に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ が流れるとき、第 n 番目のビット線 BL_n には第 1 補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ が流される。また、隣接ビット線 $BL_{n''}$ に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ が流れるとき、第 n 番目のビット線 BL_n には第 2 補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ が流される。尚、トンネル磁気抵抗素子 TMJ へのデータ書込みが不要の場合には、ビット線に電流を流さない。

【0137】

書込みワード線 RWL_m は、MOS 型 FET から成る開閉回路 SW_{RWLm} を介し

て、書込みワード線電流源 RS_m に接続されている。そして、開閉回路 SW_{RWLm} がオン状態にあるとき、書込みワード線 RWL_m に電流 I_{RWL} が流れる構成となっている。

【0138】

この実施の形態1の不揮発性磁気メモリ装置にあつては、トンネル磁気抵抗素子 TMJ へのデータ書込み時、開閉回路 SW_{RWL1} をオン状態とし、第1番目の書込みワード線 RWL_1 に書込みワード線電流源 RS_1 から電流 I_{RWL} を流す。そして、第1番目のビット線 BL_1 に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流し、第2番目のビット線 BL_2 に第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ を流し、第3番目のビット線 BL_3 に第2補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ を流す。そして、この操作を、第2番目の書込みワード線 RWL_2 から第M番目の書込みワード線 RWL_M まで、順次、繰り返す。

【0139】

次いで、再び、第1番目の書込みワード線 RWL_1 に書込みワード線電流源 RS_1 から電流 I_{RWL} を流す。そして、第2番目のビット線 BL_2 に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流し、第1番目のビット線 BL_1 及び第3番目のビット線 BL_3 に第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ を流し、第4番目のビット線 BL_4 に第2補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ を流す。そして、この操作を、第2番目の書込みワード線 RWL_2 から第M番目の書込みワード線 RWL_M まで、順次、繰り返す。

【0140】

更に、再び、第1番目の書込みワード線 RWL_1 に書込みワード線電流源 RS_1 から電流 I_{RWL} を流す。そして、第3番目のビット線 BL_3 に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流し、第2番目のビット線 BL_2 及び第4番目のビット線 BL_4 に第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ を流し、第1番目のビット線 BL_1 及び第5番目のビット線 BL_5 に第2補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ を流す。そして、この操作を、第2番目の書込みワード線 RWL_2 から第M番目の書込みワード線 RWL_M まで、順次、繰り返す。更には、これらの操作を、第4番目のビット線 BL_4 から第 $(N-2)$ 番目のビット線 BL_{N-2} まで、順次、繰り返す。

。

【0141】

次いで、再び、第1番目の書込みワード線 RWL_1 に書込みワード線電流源 RS_1 から電流 I_{RWL} を流す。そして、第 $(N-1)$ 番目のビット線 BL_{N-1} に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流し、第 $(N-2)$ 番目のビット線 BL_{N-2} 及び第 N 番目のビット線 BL_N に第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ を流し、第 $(N-3)$ 番目のビット線 BL_{N-3} に第2補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ を流す。そして、この操作を、第2番目の書込みワード線 RWL_2 から第 M 番目の書込みワード線 RWL_M まで、順次、繰り返す。

【0142】

更に、再び、第1番目の書込みワード線 RWL_1 に書込みワード線電流源 RS_1 から電流 I_{RWL} を流す。そして、第 N 番目のビット線 BL_N に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流し、第 $(N-1)$ 番目のビット線 BL_{N-1} に第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ を流し、第 $(N-2)$ 番目のビット線 BL_{N-2} に第2補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ を流す。そして、この操作を、第2番目の書込みワード線 RWL_2 から第 M 番目の書込みワード線 RWL_M まで、順次、繰り返す。

【0143】

尚、以上に説明した動作は例示であり、適宜、変更することができる。また、実施の形態2～実施の形態5においても、 $m \times n$ 個のトンネル磁気抵抗素子に、実質的に同様の方法でデータを書き込むことができる。

【0144】

[トンネル磁気抵抗素子 $TMJ(2,4)$ へのデータの書込み]

以下、第4番目のビット線 BL_4 に接続され、第2番目の書込みワード線 RWL_2 と重複する領域に位置する(第2番目の書込みワード線 RWL_2 と対向する)トンネル磁気抵抗素子 $TMJ(2,4)$ にデータを書き込む場合を例にとり、説明する。

【0145】

データ書込み直前においては、開閉回路 SW_{RWLm} ($m=1, 2, \dots, M$) の

全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{RWL2} をオン状態とし、第2番目の書込みワード線 RWL_2 に書込みワード線電流源 RS_2 から電流 I_{RWL} を流す。一方、トンネル磁気抵抗素子 $TMJ(2,4)$ にデータ「1」を書き込むか、「0」を書き込むかに依存して、電流源ユニット BCS_4 においては、開閉回路 SW_{BLn-i} (ここで、 $n=4$, $i=1$ 又は 2) が選択されオン状態となる。これによって、第4番目のビット線 BL_4 には、主磁界生成電流 $g(0) \cdot I_{BL}$ (データ「1」を書き込む場合)、又は、主磁界生成電流 $-g(0) \cdot I_{BL}$ (データ「0」を書き込む場合) が流れる。

【0146】

一方、トンネル磁気抵抗素子 $TMJ(2,4)$ にデータ「1」を書き込む場合、電流源ユニット BCS_3 及び電流源ユニット BCS_5 においては、開閉回路 SW_{BLn-i} (ここで、 $n=3$ 及び 5 , $i=3$) が選択されオン状態となる。これによって、第3番目のビット線 BL_3 及び第5番目のビット線 BL_5 には、第1補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ が流れる。また、トンネル磁気抵抗素子 $TMJ(2,4)$ にデータ「0」を書き込む場合、電流源ユニット BCS_3 及び電流源ユニット BCS_5 においては、開閉回路 SW_{BLn-i} (ここで、 $n=3$ 及び 5 , $i=4$) が選択されオン状態となる。これによって、第3番目のビット線 BL_3 及び第5番目のビット線 BL_5 には、第1補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ が流れる。

【0147】

更には、トンネル磁気抵抗素子 $TMJ(2,4)$ にデータ「1」を書き込む場合、電流源ユニット BCS_2 及び電流源ユニット BCS_6 においては、開閉回路 SW_{BLn-i} (ここで、 $n=2$ 及び 6 , $i=5$) が選択されオン状態となる。これによって、第2番目のビット線 BL_2 及び第6番目のビット線 BL_6 には、第2補償磁界生成電流 $g(\pm 2) \cdot I_{BL}$ が流れる。一方、トンネル磁気抵抗素子 $TMJ(2,4)$ にデータ「0」を書き込む場合、電流源ユニット BCS_2 及び電流源ユニット BCS_6 においては、開閉回路 SW_{BLn-i} (ここで、 $n=2$ 及び 6 , $i=6$) が選択されオン状態となる。これによって、第2番目のビット線 BL_2 及び第6番目のビット線 BL_6 には、第2補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ が流れる。

【0148】

以上の結果として生成される合成磁界（第2番目の書込みワード線 RWL_2 を流れる電流 I_{RWL} によって生成される磁界、第4番目のビット線 BL_4 を流れる主磁界生成電流 $g(0) \cdot I_{BL}$ によって生成される磁界、第3番目及び第5番目のビット線 BL_3 , BL_5 を流れる第1補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ によって生成される磁界、並びに、第2番目及び第6番目のビット線 BL_2 , BL_6 を流れる第2補償磁界生成電流 $g(\pm 2) \cdot I_{BL}$ によって生成される磁界の合成磁界）によって、トンネル磁気抵抗素子 $TMJ(2,4)$ における第2の強磁性体層（記録層）35の磁化の方向が変えられ、第2の強磁性体層（記録層）35に「1」を記録することができる。あるいは又、合成磁界（第2番目の書込みワード線 RWL_2 を流れる電流 I_{RWL} によって生成される磁界、第4番目のビット線 BL_4 を流れる主磁界生成電流 $-g(0) \cdot I_{BL}$ によって生成される磁界、第3番目及び第5番目のビット線 BL_3 , BL_5 を流れる第1補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ によって生成される磁界、並びに、第2番目及び第6番目のビット線 BL_2 , BL_6 を流れる第2補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ によって生成される磁界の合成磁界）によって、トンネル磁気抵抗素子 $TMJ(2,4)$ における第2の強磁性体層（記録層）35の磁化の方向が変えられ、第2の強磁性体層（記録層）35に「0」を記録することができる。一方、トンネル磁気抵抗素子 $TMJ(2,2)$, $TMJ(2,3)$ 及びトンネル磁気抵抗素子 $TMJ(2,5)$, $TMJ(2,6)$ の第2の強磁性体層（記録層）35の磁化の方向は変化しない。

【0149】

尚、トンネル磁気抵抗素子 $TMJ(2,4)$ における第2の強磁性体層（記録層）35においては、合成磁界が、図38に示したアステロイド曲線における領域（ OUT_1 ）に含まれる値となるように、また、トンネル磁気抵抗素子 $TMJ(2,2)$, $TMJ(2,3)$, $TMJ(2,5)$, $TMJ(2,6)$ における第2の強磁性体層（記録層）35においては、合成磁界が、図38に示したアステロイド曲線における領域（ IN ）に含まれる値となるように、電流 I_{RWL} 及び電流 I_{BL} の値が予め決定されている。以下の実施の形態においても同様である。

【0150】

ビット線を流れる電流によって記録層35の磁化容易軸方向の磁界（ H_{EA} ）が

形成され、書込みワード線を流れる電流 I_{RWL} によって記録層 35 の磁化困難軸方向の磁界 (H_{HA}) が形成される構成であってもよいし、ビット線を流れる電流によって記録層 35 の磁化困難軸方向の磁界 (H_{HA}) が形成され、書込みワード線を流れる電流 I_{RWL} によって記録層 35 の磁化容易軸方向の磁界 (H_{EA}) が形成される構成であってもよい。後述する実施の形態 2 ~ 実施の形態 5 においても同様である。

【0151】

[トンネル磁気抵抗素子 $TMJ_{(m,n)}$ へのデータの書込み]

一般に、第 n 番目のビット線 BL_n [但し、 $n = 3, 4 \dots (N-3), (N-2)$] に接続され、第 m 番目の書込みワード線 RWL_m と重複する領域に位置する (第 m 番目の書込みワード線 RWL_m と対向する) トンネル磁気抵抗素子 $TMJ_{(m,n)}$ へデータを書き込む場合には、以下の動作を実行する。

【0152】

データ書込み直前においては、開閉回路 SW_{RWL_m} ($m = 1, 2 \dots, M$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{RWL_m} をオン状態とし、第 m 番目の書込みワード線 RWL_m に書込みワード線電流源 RS_m から電流 I_{RWL} を流す。一方、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータ「1」を書き込むか、「0」を書き込むかに依存して、電流源ユニット BCS_n においては、開閉回路 SW_{BL_n-i} (ここで、 $i = 1$ 又は 2) が選択されオン状態となる。これによって、第 n 番目のビット線 BL_n には、主磁界生成電流 $g(0) \cdot I_{BL}$ (データ「1」を書き込む場合)、又は、主磁界生成電流 $-g(0) \cdot I_{BL}$ (データ「0」を書き込む場合) が流れる。

【0153】

一方、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータ「1」を書き込む場合、電流源ユニット BCS_{n-1} 及び電流源ユニット BCS_{n+1} においては、開閉回路 $SW_{BL_{n'-i}}$ [ここで、 $n' = (n-1)$ 及び $(n+1)$, $i = 3$] が選択されオン状態となる。これによって、第 $(n-1)$ 番目のビット線 BL_{n-1} 及び第 $(n+1)$ 番目のビット線 BL_{n+1} には、第 1 補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ が流れる。また、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータ「0」を書き込む場合、

電流源ユニット BCS_{n-1} 及び電流源ユニット BCS_{n+1} においては、開閉回路 $SW_{BLn'-i}$ [ここで、 $n' = (n-1)$ 及び $(n+1)$, $i = 4$] が選択されオン状態となる。これによって、第 $(n-1)$ 番目のビット線 BL_{n-1} 及び第 $(n+1)$ 目のビット線 BL_{n+1} には、第 1 補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ が流れる。

【0154】

更には、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータ「1」を書き込む場合、電流源ユニット BCS_{n-2} 及び電流源ユニット BCS_{n+2} においては、開閉回路 $SW_{BLn''-i}$ [ここで、 $n'' = (n-2)$ 及び $(n+2)$, $i = 5$] が選択されオン状態となる。これによって、第 $(n-2)$ 番目のビット線 BL_{n-2} 及び第 $(n+2)$ 番目のビット線 BL_{n+2} には、第 2 補償磁界生成電流 $g(\pm 2) \cdot I_{BL}$ が流れる。また、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータ「0」を書き込む場合、電流源ユニット BCS_{n-2} 及び電流源ユニット BCS_{n+2} においては、開閉回路 $SW_{BLn''-i}$ [ここで、 $n'' = (n-2)$ 及び $(n+2)$, $i = 6$] が選択されオン状態となる。これによって、第 $(n-2)$ 番目のビット線 BL_{n-2} 及び第 $(n+2)$ 目のビット線 BL_{n+2} には、第 2 補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ が流れる。

【0155】

[トンネル磁気抵抗素子 $TMJ_{(m,1)}$ 又は $TMJ_{(m,N)}$ へのデータの書込み]

第 Q 番目のビット線 BL_Q (但し、 $Q = 1$ 又は N) に接続され、第 m 番目の書込みワード線 RWL_m と重複する領域に位置する (第 m 番目の書込みワード線 RWL_m と対向する) トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ へデータを書き込む場合には、以下の動作を実行する。

【0156】

データ書込み直前においては、開閉回路 SW_{RWLm} ($m = 1, 2, \dots, M$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{RWLm} をオン状態とし、第 m 番目の書込みワード線 RWL_m に書込みワード線電流源 RS_m から電流 I_{RWL} を流す。一方、トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ にデータ「1」を書き込むか、「0」を書き込むかに依存して、電流源ユニット BCS_Q におい

ては、開閉回路 SW_{BLQ-i} (ここで、 $i = 1$ 又は 2) が選択されオン状態となる。これによって、第 Q 番目のビット線 BL_Q には、主磁界生成電流 $g(0) \cdot I_{BL}$ (データ「1」を書き込む場合)、又は、主磁界生成電流 $-g(0) \cdot I_{BL}$ (データ「0」を書き込む場合) が流れる。

【0157】

一方、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「1」を書き込む場合、電流源ユニット BCS_2 又は電流源ユニット BCS_{N-1} においては、開閉回路 $SW_{BLQ'-i}$ [ここで、 $Q' = 2$ 又は $(N-1)$, $i = 3$] が選択されオン状態となる。これによって、第 2 番目のビット線 BL_2 又は第 $(N-1)$ 番目のビット線 BL_{N-1} には、第 1 補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ が流れる。また、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「0」を書き込む場合、電流源ユニット BCS_2 又は電流源ユニット BCS_{N-1} においては、開閉回路 $SW_{BLQ'-i}$ [ここで、 $Q' = 2$ 又は $(N-1)$, $i = 4$] が選択されオン状態となる。これによって、第 2 番目のビット線 BL_2 又は第 $(N-1)$ 番目のビット線 BL_{N-1} には、第 1 補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ が流れる。

【0158】

更には、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「1」を書き込む場合、電流源ユニット BCS_3 又は電流源ユニット BCS_{N-2} においては、開閉回路 $SW_{BLQ''-i}$ [ここで、 $Q'' = 3$ 又は $(N-2)$, $i = 5$] が選択されオン状態となる。これによって、第 3 番目のビット線 BL_3 又は第 $(N-2)$ 番目のビット線 BL_{N-2} には、第 2 補償磁界生成電流 $g(\pm 2) \cdot I_{BL}$ が流れる。また、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「0」を書き込む場合、電流源ユニット BCS_3 又は電流源ユニット BCS_{N-2} においては、開閉回路 $SW_{BLQ''-i}$ [ここで、 $Q'' = 3$ 又は $(N-2)$, $i = 6$] が選択されオン状態となる。これによって、第 3 番目のビット線 BL_3 又は第 $(N-2)$ 番目のビット線 BL_{N-2} には、第 2 補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ が流れる。

【0159】

[トンネル磁気抵抗素子 $TMJ(m, 2)$ 又は $TMJ(m, N-1)$ へのデータの書込み]

第 Q 番目のビット線 BL_Q [但し、 $Q = 2$ 又は $(N-1)$] に接続され、第 m

番目の書き込みワード線 RWL_m と重複する領域に位置する (第 m 番目の書き込みワード線 RWL_m と対向する) トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ へデータを書き込む場合には、以下の動作を実行する。

【0160】

データ書き込み直前においては、開閉回路 SW_{RWL_m} ($m = 1, 2, \dots, M$) の全てはオフ状態にある。データ書き込みの開始にあたっては、開閉回路 SW_{RWL_m} をオン状態とし、第 m 番目の書き込みワード線 RWL_m に書き込みワード線電流源 RS_m から電流 I_{RWL} を流す。一方、トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ にデータ「1」を書き込むか、「0」を書き込むかに依存して、電流源ユニット BCS_Q においては、開閉回路 SW_{BLQ-i} (ここで、 $i = 1$ 又は 2) が選択されオン状態となる。これによって、第 Q 番目のビット線 BL_Q には、主磁界生成電流 $g(0) \cdot I_{BL}$ (データ「1」を書き込む場合)、又は、主磁界生成電流 $-g(0) \cdot I_{BL}$ (データ「0」を書き込む場合) が流れる。

【0161】

一方、トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ にデータ「1」を書き込む場合、電流源ユニット BCS_1 及び電流源ユニット BCS_3 、又は、電流源ユニット BCS_{N-2} 及び電流源ユニット BCS_N においては、開閉回路 $SW_{BLQ'-i}$ [ここで、 $Q' = 1$ 及び 3 、又は、 $(N-2)$ 及び N 、 $i = 3$] が選択されオン状態となる。これによって、第 1 番目のビット線 BL_1 及び第 3 番目のビット線 BL_3 、又は、第 $(N-2)$ 番目のビット線 BL_{N-2} 及び第 N 番目のビット線 BL_N には、第 1 補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ が流れる。一方、トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ にデータ「0」を書き込む場合、電流源ユニット BCS_1 及び電流源ユニット BCS_3 、又は、電流源ユニット BCS_{N-2} 及び電流源ユニット BCS_N においては、開閉回路 $SW_{BLQ'-i}$ [ここで、 $Q' = 1$ 及び 3 、又は、 $(N-2)$ 及び N 、 $i = 4$] が選択されオン状態となる。これによって、第 1 番目のビット線 BL_1 及び第 3 番目のビット線 BL_3 、又は、第 $(N-2)$ 番目のビット線 BL_{N-2} 及び第 N 番目のビット線 BL_N には、第 1 補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ が流れる。

【0162】

更には、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「1」を書き込む場合、電流源ユニット BCS_4 又は電流源ユニット BCS_{N-3} においては、開閉回路 $SW_{BLQ''-i}$ [ここで、 $Q'' = 4$ 又は $(N-3)$, $i = 5$] が選択されオン状態となる。これによって、第4番目のビット線 BL_4 又は第 $(N-3)$ 番目のビット線 BL_{N-3} には、第2補償磁界生成電流 $g(\pm 2) \cdot I_{BL}$ が流れる。一方、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「0」を書き込む場合、電流源ユニット BCS_4 又は電流源ユニット BCS_{N-3} においては、開閉回路 $SW_{BLQ''-i}$ [ここで、 $Q'' = 4$ 又は $(N-3)$, $i = 6$] が選択されオン状態となる。これによって、第4番目のビット線 BL_4 又は第 $(N-3)$ 番目のビット線 BL_{N-3} には、第2補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ が流れる。

【0163】

実施の形態1の不揮発性磁気メモリ装置においては、トンネル磁気抵抗素子 $TMJ(m, n)$ にデータを書き込む場合、電流源ユニット BCS_n から主磁界生成電流 $\pm g(0) \cdot I_{BL}$ がビット線 BL_n に流され、電流源ユニット BCS_{n-1} , BCS_{n+1} 及び電流源ユニット BCS_{n-2} , BCS_{n+2} から補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$, $\pm g(\pm 2) \cdot I_{BL}$ がビット線 BL_{n-1} , BL_{n+1} , BL_{n-2} 及び BL_{n+2} に流される結果、ビット線 BL_{n-2} , BL_{n-1} , BL_{n+1} 及び BL_{n+2} に電氣的に接続されたトンネル磁気抵抗素子 $TMJ(m, n-2)$, $TMJ(m, n-1)$, $TMJ(m, n+1)$ 及び $TMJ(m, n+2)$ に記憶されたデータが破壊されることを確実に防止することができる。

【0164】

(実施の形態2)

実施の形態2は、実施の形態1の変形である。実施の形態2の不揮発性磁気メモリ装置の等価回路図を図8に示す。

【0165】

実施の形態1にて説明した不揮発性磁気メモリ装置にあつては、例えば、第1番目のビット線 BL_1 あるいは第N番目のビット線 BL_N を流れる電流によって主磁界 [電流 $g(0) \cdot I(1)_{BL}$ あるいは電流 $g(0) \cdot I(N)_{BL}$ によって生成する磁界] が生成され、第2番目及び第3番目のビット線 BL_2 , BL_3 、ある

いは、第 $(N-2)$ 番目及び第 $(N-1)$ 番目のビット線 $BL_{(N-2)}$, $BL_{(N-1)}$ を流れる電流によって補償磁界 [電流 $g(1) \cdot I(1)_{BL}$, 電流 $g(2) \cdot I(1)_{BL}$ あるいは電流 $g(-2) \cdot I(N)_{BL}$, $g(-1) \cdot I(N)_{BL}$ によって生成する磁界] が生成されるが、係る補償磁界は、例えば、第 1 番目のビット線 BL_1 あるいは第 N 番目のビット線 BL_N を基準としたとき、非対称となる。

【0166】

それ故、実施の形態 2 の不揮発性磁気メモリ装置にあっては、 k のとる値の最大値の絶対値を k_0 (実施の形態 2 にあっては、 $k_0=2$) としたとき、

第 1 番目のビット線 BL_1 の外側には、第 1 番目のビット線 BL_1 と平行に k_0 本の第 1 のダミー線群 (第 1 のダミー線 DL_{11} , DL_{12}) が設けられ、

第 N 番目のビット線 BL_N の外側には、第 N 番目のビット線 BL_N と平行に k_0 本の第 2 のダミー線群 (第 2 のダミー線 DL_{21} , DL_{22}) が設けられ、

第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目の第 1 のダミー線あるいは第 2 のダミー線群を構成する第 $[n-N + |k|]$ 番目の第 2 のダミー線に、電流 $g(k) \cdot I(n)_{BL}$ が流される。

【0167】

具体的には、第 1 番目のビット線 BL_1 に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流すとき、第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目 ($n=1$, $k=-1$ であり、第 1 番目) の第 1 のダミー線 DL_{11} に、第 1 補償磁界生成電流 $\pm g(-1) \cdot I(n)_{BL}$ を流し、第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目 ($n=1$, $k=-2$ であり、第 2 番目) の第 1 のダミー線 DL_{12} に、第 2 補償磁界生成電流 $\pm g(-2) \cdot I(n)_{BL}$ を流す。また、第 2 番目のビット線 BL_2 に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流すとき、第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目 ($n=2$, $k=-2$ であり、第 1 番目) の第 1 のダミー線 DL_{11} に、第 2 補償磁界生成電流 $\pm g(-2) \cdot I(n)_{BL}$ を流す。

【0168】

一方、第 N 番目のビット線 BL_N に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流すと

き、第2のダミー線群を構成する第 $[n-N+|k|]$ 番目($n=N$, $k=1$ であり、第1番目)の第2のダミー線 DL_{21} に、第1補償磁界生成電流 $\pm g(1) \cdot I(n)_{BL}$ を流し、第2のダミー線群を構成する第 $[n-N+|k|]$ 番目($n=N$, $k=2$ であり、第2番目)の第2のダミー線 DL_{22} に、第2補償磁界生成電流 $\pm g(2) \cdot I(n)_{BL}$ を流す。また、第 $(N-1)$ 番目のビット線 BL_{N-1} に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流すとき、第2のダミー線群を構成する第 $[n-N+|k|]$ 番目($n=N-1$, $k=2$ であり、第1番目)の第2のダミー線 DL_{21} に、第2補償磁界生成電流 $\pm g(2) \cdot I(n)_{BL}$ を流す。

【0169】

第1のダミー線群を構成する第1番目の第1のダミー線 DL_{11} は、第1ダミー線電流源 DLC_{S11} (図9の(A)の等価回路図参照)に接続され、第1のダミー線群を構成する第2番目の第1のダミー線 DL_{12} は、第1ダミー線電流源 DLC_{S12} (図9の(B)の等価回路図参照)に接続され、第2のダミー線群を構成する第1番目の第2のダミー線 DL_{21} は、第2ダミー線電流源 DLC_{S21} (図10の(A)の等価回路図参照)に接続され、第2のダミー線群を構成する第2番目の第2のダミー線 DL_{22} は、第2ダミー線電流源 DLC_{S22} (図10の(B)の等価回路図参照)に接続されている。

【0170】

第1ダミー線電流源 DLC_{S11} には、MOS型FETから成る開閉回路 $SW_{DL-11-i}$ (ここで、 $i=1, 2, 3, 4$)が備えられており、開閉回路 $SW_{DL-11-i}$ のオン・オフ動作によって、第1ダミー線電流源 DLC_{S11} から、電流 $g(-1) \cdot I_{BL}$ 及び電流 $-g(-1) \cdot I_{BL}$ 、電流 $g(-2) \cdot I_{BL}$ 及び電流 $-g(-2) \cdot I_{BL}$ の4つの電流の内のいずれか1つの電流を第1のダミー線群を構成する第1番目の第1のダミー線 DL_{11} に流すことができる。また、第2ダミー線電流源 DLC_{S21} には、MOS型FETから成る開閉回路 $SW_{DL-21-i}$ (ここで、 $i=1, 2, 3, 4$)が備えられており、開閉回路 $SW_{DL-21-i}$ のオン・オフ動作によって、第2ダミー線電流源 DLC_{S21} から、電流 $g(1) \cdot I_{BL}$ 及び電流 $-g(1) \cdot I_{BL}$ 、電流 $g(2) \cdot I_{BL}$ 及び電流 $-g(2) \cdot I_{BL}$ の4つの電流の内のいずれか1つの電流を第2のダミー線群を構成する第1番目の第2のダミ

一線 DL_{21} に流すことができる。

【0171】

更には、第1ダミー線電流源 $DLCS_{12}$ には、MOS型FETから成る開閉回路 $SW_{DL-12-i}$ (ここで、 $i = 1, 2$) が備えられており、開閉回路 $SW_{DL-12-i}$ のオン・オフ動作によって、第1ダミー線電流源 $DLCS_{12}$ から、電流 $g(-2) \cdot I_{BL}$ 及び電流 $-g(-2) \cdot I_{BL}$ の2つの電流の内のいずれか1つの電流を第1のダミー線群を構成する第2番目の第1のダミー線 DL_{12} に流すことができる。また、第2ダミー線電流源 $DLCS_{22}$ には、MOS型FETから成る開閉回路 $SW_{DL-22-i}$ (ここで、 $i = 1, 2$) が備えられており、開閉回路 $SW_{DL-22-i}$ のオン・オフ動作によって、第2ダミー線電流源 $DLCS_{22}$ から、電流 $g(2) \cdot I_{BL}$ 及び電流 $-g(2) \cdot I_{BL}$ の2つの電流の内のいずれか1つの電流を第2のダミー線群を構成する第2番目の第2のダミー線 DL_{22} に流すことができる。

【0172】

これらの点を除き、実施の形態2の不揮発性磁気メモリ装置の構成、構造、動作は、実施の形態1の不揮発性磁気メモリ装置の構成、構造、動作と同様とすることができるので、詳細な説明は省略する。尚、係数 $g(1)$, $g(-1)$, $g(2)$, $g(-2)$ の値は、実施の形態1と同じ値とすればよい。

【0173】

実施の形態2の不揮発性磁気メモリ装置にあつては、トンネル磁気抵抗素子に記憶されたデータが破壊されることを防止するための補償磁界が、第1番目のビット線 BL_1 、第2番目のビット線 BL_2 、第 $(N-1)$ 番目のビット線 BL_{N-1} あるいは第 N 番目のビット線 BL_N を基準としたとき、対称となるので、不揮発性磁気メモリ装置へのデータ書込み動作が一層安定する。

【0174】

(実施の形態3)

実施の形態3も、実施の形態1の変形である。実施の形態3の不揮発性磁気メモリ装置の等価回路図を図11に示し、実施の形態3の不揮発性磁気メモリ装置における第1電流源ユニット41及び第1のスイッチ回路41Aの等価回路図を図12に示し、第2電流源ユニット42及び第2のスイッチ回路42Aの等価回

路図を図 13 に示し、第 3 電流源ユニット 43 及び第 3 のスイッチ回路 43A の等価回路図を図 14 に示し、第 4 電流源ユニット 44 及び第 4 のスイッチ回路 44A の等価回路図を図 15 に示し、第 5 電流源ユニット 45 及び第 5 のスイッチ回路 45A の等価回路図を図 16 に示す。

【0175】

実施の形態 3 にあつては、電流源は、N 個の電流源ユニットから成る代わりに、第 1 電流源ユニット 41、第 2 電流源ユニット 42、第 3 電流源ユニット 43、第 4 電流源ユニット 44、及び、第 5 電流源ユニット 45 から成る。そして、主磁界生成電流 $\pm g(0) \cdot I_{BL}$ をビット線 BL_n に流す第 1 電流源ユニット 41 は、第 1 のスイッチ回路 41A (MOS 型 FET から成る開閉回路 $SW_{MBL-1} \sim SW_{MBL-8}$ から構成されている) を介して N 本のビット線 BL_n に接続されている。また、第 1 補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ をビット線 BL_n に流す第 2 電流源ユニット 42 は、第 2 のスイッチ回路 42A (MOS 型 FET から成る開閉回路 $SW_{CBL2-1} \sim SW_{CBL2-8}$ から構成されている) を介して N 本のビット線 BL_n に接続されている。更には、第 1 補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ をビット線 BL_n に流す第 3 電流源ユニット 43 は、第 3 のスイッチ回路 43A (MOS 型 FET から成る開閉回路 $SW_{CBL3-1} \sim SW_{CBL3-8}$ から構成されている) を介して N 本のビット線 BL_n に接続されている。また、第 2 補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ をビット線 BL_n に流す第 4 電流源ユニット 44 は、第 4 のスイッチ回路 44A (MOS 型 FET から成る開閉回路 $SW_{CBL4-1} \sim SW_{CBL4-8}$ から構成されている) を介して N 本のビット線 BL_n に接続されている。更には、第 2 補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ をビット線 BL_n に流す第 5 電流源ユニット 45 は、第 5 のスイッチ回路 45A (MOS 型 FET から成る開閉回路 $SW_{CBL5-1} \sim SW_{CBL5-8}$ から構成されている) を介して N 本のビット線 BL_n に接続されている。

【0176】

これらの点を除き、実施の形態 3 の不揮発性磁気メモリ装置の構成、構造は、実施の形態 1 の不揮発性磁気メモリ装置の構成、構造と同様とすることができるので、詳細な説明は省略する。実施の形態 3 にあつては、このような構成にする

ことで、電流源ユニットの数を減少させることができ、不揮発性磁気メモリ装置の構成の簡素化を図ることができる。

【0177】

[トンネル磁気抵抗素子 $TMJ_{(m,n)}$ へのデータの書込み]

第 n 番目のビット線 BL_n [但し、 $n = 3, 4 \dots (N-2)$] に接続され、第 m 番目の書込みワード線 RWL_m と重複する領域に位置する (第 m 番目の書込みワード線 RWL_m と対向する) トンネル磁気抵抗素子 $TMJ_{(m,n)}$ へデータを書き込む場合には、以下の動作を実行する。

【0178】

データ書込み直前においては、開閉回路 SW_{RWLm} ($m = 1, 2 \dots, M$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{RWLm} をオン状態とし、第 m 番目の書込みワード線 RWL_m に書込みワード線電流源 RS_m から電流 I_{RWL} を流す。一方、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータ「1」を書き込むか、「0」を書き込むかに依存して、第1電流源ユニット41においては、MOS型FETから成る開閉回路 SW_{M-i} (ここで、 $i = 1$ 又は 2) が選択されオン状態となる。更には、第1のスイッチ回路41Aを構成する開閉回路 SW_{MBL-n} が選択されオン状態となる。これによって、第 n 番目のビット線 BL_n には、主磁界生成電流 $g(0) \cdot I_{BL}$ 又は $-g(0) \cdot I_{BL}$ が流れる。

【0179】

一方、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータ「1」を書き込む場合、第2電流源ユニット42及び第3電流源ユニット43においては、開閉回路 SW_{C2-1} 及び開閉回路 SW_{C3-1} が選択されオン状態となる。更には、第2のスイッチ回路42Aを構成する開閉回路 $SW_{CBL2-(n-1)}$ が選択されオン状態となり、第3のスイッチ回路43Aを構成する開閉回路 $SW_{CBL3-(n+1)}$ が選択されオン状態となる。これによって、第 $(n-1)$ 番目のビット線 BL_{n-1} 、及び、第 $(n+1)$ 番目のビット線 BL_{n+1} には、第1補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ が流れる。更には、第4電流源ユニット44及び第5電流源ユニット45においては、開閉回路 SW_{C4-1} 及び開閉回路 SW_{C5-1} が選択されオン状態となる。更には、第4のスイッチ回路44Aを構成する開閉回路 $SW_{CBL4-(n-2)}$ が選択されオン状態と

なり、第5のスイッチ回路45Aを構成する開閉回路 $SW_{CBL5-(n+2)}$ が選択されオン状態となる。これによって、第 $(n-2)$ 番目のビット線 BL_{n-2} 、及び、第 $(n+2)$ 番目のビット線 BL_{n+2} には、第2補償磁界生成電流 $g(\pm 2) \cdot I_{BL}$ が流れる。

【0180】

また、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータ「0」を書き込む場合、第2電流源ユニット42及び第3電流源ユニット43においては、開閉回路 SW_{C2-2} 及び開閉回路 SW_{C3-2} が選択されオン状態となる。更には、第2のスイッチ回路42Aを構成する開閉回路 $SW_{CBL2-(n-1)}$ が選択されオン状態となり、第3のスイッチ回路43Aを構成する開閉回路 $SW_{CBL3-(n+1)}$ が選択されオン状態となる。これによって、第 $(n-1)$ 番目のビット線 BL_{n-1} 、及び、第 $(n+1)$ 番目のビット線 BL_{n+1} には、第1補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ が流れる。更には、第4電流源ユニット44及び第5電流源ユニット45においては、開閉回路 SW_{C4-2} 及び開閉回路 SW_{C5-2} が選択されオン状態となる。更には、第4のスイッチ回路44Aを構成する開閉回路 $SW_{CBL4-(n-2)}$ が選択されオン状態となり、第5のスイッチ回路45Aを構成する開閉回路 $SW_{CBL5-(n+2)}$ が選択されオン状態となる。これによって、第 $(n-2)$ 番目のビット線 BL_{n-2} 、及び、第 $(n+2)$ 番目のビット線 BL_{n+2} には、第2補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ が流れる。

【0181】

以上の結果として生成される合成磁界（第 m 番目の書き込みワード線 RWL_m を流れる電流 I_{RWL} によって生成される磁界、第 n 番目のビット線 BL_n を流れる主磁界生成電流 $g(0) \cdot I_{BL}$ によって生成される磁界、第 $(n-1)$ 番目及び第 $(n+1)$ 番目のビット線 BL_{n-1} 、 BL_{n+1} を流れる第1補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ によって生成される磁界、並びに、第 $(n-2)$ 番目及び第 $(n+2)$ 番目のビット線 BL_{n-2} 、 BL_{n+2} を流れる第2補償磁界生成電流 $g(\pm 2) \cdot I_{BL}$ によって生成される磁界の合成磁界）によって、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ における第2の強磁性体層（記録層）35の磁化の方向が変えられ、第2の強磁性体層（記録層）35に「1」を記録することができる。あるいは又

、合成磁界（第 m 番目の書込みワード線 RWL_m を流れる電流 I_{RWL} によって生成される磁界、第 n 番目のビット線 BL_n を流れる主磁界生成電流 $-g(0) \cdot I_{BL}$ によって生成される磁界、第 $(n-1)$ 番目及び第 $(n+1)$ 番目のビット線 BL_{n-1} , BL_{n+1} を流れる第1補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ によって生成される磁界、並びに、第 $(n-2)$ 番目及び第 $(n+2)$ 番目のビット線 BL_{n-2} , BL_{n+2} を流れる第2補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ によって生成される磁界の合成磁界)によって、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ における第2の強磁性体層（記録層）35の磁化の方向が変えられ、第2の強磁性体層（記録層）35に「0」を記録することができる。一方、トンネル磁気抵抗素子 $TMJ_{(m,n-2)}$, $TMJ_{(m,n-1)}$ 及びトンネル磁気抵抗素子 $TMJ_{(m,n+1)}$, $TMJ_{(m,n+2)}$ の第2の強磁性体層（記録層）35の磁化の方向は変化しない。

【0182】

[トンネル磁気抵抗素子 $TMJ_{(m,1)}$ 又は $TMJ_{(m,N)}$ へのデータの書込み]

第 Q 番目のビット線 BL_Q （但し、 $Q=1$ 又は N ）に接続され、第 m 番目の書込みワード線 RWL_m と重複する領域に位置する（第 m 番目の書込みワード線 RWL_m と対向する）トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ へデータを書き込む場合には、以下の動作を実行する。

【0183】

データ書込み直前においては、開閉回路 SW_{RWLm} ($m=1, 2, \dots, M$)の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{RWLm} をオン状態とし、第 m 番目の書込みワード線 RWL_m に書込みワード線電流源 RS_m から電流 I_{RWL} を流す。一方、トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ にデータ「1」を書き込むか、「0」を書き込むかに依存して、第1電流源ユニット41においては、MOS型FETから成る開閉回路 SW_{M-i} （ここで、 $i=1$ 又は2）が選択されオン状態となる。更には、第1のスイッチ回路41Aを構成する開閉回路 SW_{MBL-Q} が選択されオン状態となる。これによって、第 Q 番目のビット線 BL_Q には、主磁界生成電流 $\pm g(0) \cdot I_{BL}$ が流れる。

【0184】

一方、トンネル磁気抵抗素子 $TMJ_{(m,Q)}$ にデータ「1」を書き込む場合、第

2 電流源ユニット 42 又は第 3 電流源ユニット 43 においては、開閉回路 SW_{C2-1} 又は開閉回路 SW_{C3-1} が選択されオン状態となる。更には、第 2 のスイッチ回路 42A を構成する開閉回路 $SW_{CBL2-(N-1)}$ が選択されオン状態となり、あるいは又、第 3 のスイッチ回路 43A を構成する開閉回路 SW_{CBL3-2} が選択されオン状態となる。これによって、第 2 番目のビット線 BL_2 、あるいは又、第 $(N-1)$ 番目のビット線 BL_{N-1} には、第 1 補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ が流れる。更には、第 4 電流源ユニット 44 又は第 5 電流源ユニット 45 においては、開閉回路 SW_{C4-1} 又は開閉回路 SW_{C5-1} が選択されオン状態となる。更には、第 4 のスイッチ回路 44A を構成する開閉回路 $SW_{CBL4-(N-2)}$ が選択されオン状態となり、あるいは又、第 5 のスイッチ回路 45A を構成する開閉回路 SW_{CBL5-3} が選択されオン状態となる。これによって、第 3 番目のビット線 BL_3 、あるいは又、第 $(N-2)$ 番目のビット線 BL_{N-2} には、第 2 補償磁界生成電流 $g(\pm 2) \cdot I_{BL}$ が流れる。

【0185】

また、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「0」を書き込む場合、第 2 電流源ユニット 42 又は第 3 電流源ユニット 43 においては、開閉回路 SW_{C2-2} 又は開閉回路 SW_{C3-2} が選択されオン状態となる。更には、第 2 のスイッチ回路 42A を構成する開閉回路 $SW_{CBL2-(N-1)}$ が選択されオン状態となり、あるいは又、第 3 のスイッチ回路 43A を構成する開閉回路 SW_{CBL3-2} が選択されオン状態となる。これによって、第 2 番目のビット線 BL_2 、あるいは又、第 $(N-1)$ 番目のビット線 BL_{N-1} には、第 1 補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ が流れる。更には、第 4 電流源ユニット 44 又は第 5 電流源ユニット 45 においては、開閉回路 SW_{C4-2} 又は開閉回路 SW_{C5-2} が選択されオン状態となる。更には、第 4 のスイッチ回路 44A を構成する開閉回路 $SW_{CBL4-(N-2)}$ が選択されオン状態となり、あるいは又、第 5 のスイッチ回路 45A を構成する開閉回路 SW_{CBL5-3} が選択されオン状態となる。これによって、第 3 番目のビット線 BL_3 、あるいは又、第 $(N-2)$ 番目のビット線 BL_{N-2} には、第 2 補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ が流れる。

【0186】

[トンネル磁気抵抗素子 $TMJ(m, 2)$ 又は $TMJ(m, N-1)$ へのデータの書込み]

第 Q 番目のビット線 BL_Q [但し、 $Q = 2$ 又は $(N-1)$] に接続され、第 m 番目の書込みワード線 RWL_m と重複する領域に位置する (第 m 番目の書込みワード線 RWL_m と対向する) トンネル磁気抵抗素子 $TMJ(m, Q)$ へデータを書き込む場合には、以下の動作を実行する。

【0187】

データ書込み直前においては、開閉回路 SW_{RWL_m} ($m = 1, 2 \dots, M$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{RWL_m} をオン状態とし、第 m 番目の書込みワード線 RWL_m に書込みワード線電流源 RS_m から電流 I_{RWL} を流す。一方、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「1」を書き込むか、「0」を書き込むかに依存して、第1電流源ユニット41においては、MOS型FETから成る開閉回路 SW_{M-i} (ここで、 $i = 1$ 又は 2) が選択されオン状態となる。更には、第1のスイッチ回路41Aを構成する開閉回路 SW_{MBL-Q} が選択されオン状態となる。これによって、第 Q 番目のビット線 BL_Q には、主磁界生成電流 $\pm g(0) \cdot I_{BL}$ が流れる。

【0188】

一方、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「1」を書き込む場合、第2電流源ユニット42及び第3電流源ユニット43においては、開閉回路 SW_{C2-1} 及び開閉回路 SW_{C3-1} が選択されオン状態となる。更には、第2のスイッチ回路42Aを構成する開閉回路 $SW_{CBL2-(Q-1)}$ 、及び、第3のスイッチ回路43Aを構成する開閉回路 $SW_{CBL3-(Q+1)}$ が選択されオン状態となる。これによって、第1番目のビット線 BL_1 及び第3番目のビット線 BL_3 、あるいは又、第 $(N-2)$ 番目のビット線 BL_{N-2} 及び第 N 番目のビット線 BL_N には、第1補償磁界生成電流 $g(\pm 1) \cdot I_{BL}$ が流れる。更には、第4電流源ユニット44又は第5電流源ユニット45においては、開閉回路 SW_{C4-1} 又は開閉回路 SW_{C5-1} が選択されオン状態となる。更には、第4のスイッチ回路44Aを構成する開閉回路 $SW_{CBL4-(N-3)}$ が選択され、あるいは又、第5のスイッチ回路45Aを構成する開閉回路 SW_{CBL5-4} が選択されオン状態となる。これによって、第4番目のビット線 BL_4 、あるいは又、第 $(N-3)$ 番目のビット線 BL_{N-3} には、第2補償磁界生

成電流 $g(\pm 2) \cdot I_{BL}$ が流れる。

【0189】

また、トンネル磁気抵抗素子 $TMJ(m, Q)$ にデータ「0」を書き込む場合、第2電流源ユニット42及び第3電流源ユニット43においては、開閉回路 SW_{C2-2} 及び開閉回路 SW_{C3-2} が選択されオン状態となる。更には、第2のスイッチ回路42Aを構成する開閉回路 $SW_{CBL2-(Q-1)}$ 、及び、第3のスイッチ回路43Aを構成する開閉回路 $SW_{CBL3-(Q+1)}$ が選択されオン状態となる。これによって、第1番目のビット線 BL_1 及び第3番目のビット線 BL_3 、あるいは又、第 $(N-2)$ 番目のビット線 BL_{N-2} 及び第 N 番目のビット線 BL_N には、第1補償磁界生成電流 $-g(\pm 1) \cdot I_{BL}$ が流れる。更には、第4電流源ユニット44又は第5電流源ユニット45においては、開閉回路 SW_{C4-2} 又は開閉回路 SW_{C5-2} が選択されオン状態となる。更には、第4のスイッチ回路44Aを構成する開閉回路 $SW_{CBL4-(N-3)}$ が選択され、あるいは又、第5のスイッチ回路45Aを構成する開閉回路 SW_{CBL5-4} が選択されオン状態となる。これによって、第4番目のビット線 BL_4 、あるいは又、第 $(N-3)$ 番目のビット線 BL_{N-3} には、第2補償磁界生成電流 $-g(\pm 2) \cdot I_{BL}$ が流れる。

【0190】

実施の形態3の不揮発性磁気メモリ装置においても、トンネル磁気抵抗素子 $TMJ(m, n)$ にデータを書き込む場合、第1電流源ユニット41から主磁界生成電流 $\pm g(0) \cdot I_{BL}$ がビット線 BL_n に流され、第4電流源ユニット44、第2電流源ユニット42、第3電流源ユニット43及び第5電流源ユニット45から補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ 、 $\pm g(\pm 1) \cdot I_{BL}$ 、 $\pm g(\pm 1) \cdot I_{BL}$ 、 $\pm g(\pm 2) \cdot I_{BL}$ がビット線 BL_{n-2} 、 BL_{n-1} 、 BL_{n+1} 及び BL_{n+2} に流される結果、ビット線 BL_{n-2} 、 BL_{n-1} 、 BL_{n+1} 及び BL_{n+2} に電氣的に接続されたトンネル磁気抵抗素子 $TMJ(m, n-2)$ 、 $TMJ(m, n-1)$ 、 $TMJ(m, n+1)$ 及び $TMJ(m, n+2)$ に記憶されたデータが破壊されることを確実に防止することができる。

【0191】

(実施の形態4)

実施の形態 4 は、実施の形態 3 の変形である。実施の形態 4 の不揮発性磁気メモリ装置の等価回路図を図 17 に示す。

【0192】

実施の形態 3 にて説明した不揮発性磁気メモリ装置にあつては、例えば、第 1 番目のビット線 BL_1 あるいは第 N 番目のビット線 BL_N を流れる電流によって主磁界 [電流 $g(0) \cdot I(1)_{BL}$ あるいは電流 $g(0) \cdot I(N)_{BL}$ によって生成する磁界] が生成され、第 2 番目及び第 3 番目のビット線 BL_2 , BL_3 、あるいは、第 $(N-2)$ 番目及び第 $(N-1)$ 番目のビット線 $BL_{(N-2)}$, $BL_{(N-1)}$ を流れる電流によって補償磁界 [電流 $g(1) \cdot I(1)_{BL}$, 電流 $g(2) \cdot I(1)_{BL}$ あるいは電流 $g(-2) \cdot I(N)_{BL}$, $g(-1) \cdot I(N)_{BL}$ によって生成する磁界] が生成されるが、係る補償磁界は、例えば、第 1 番目のビット線 BL_1 あるいは第 N 番目のビット線 BL_N を基準としたとき、非対称となる。

【0193】

それ故、実施の形態 4 の不揮発性磁気メモリ装置にあつては、実施の形態 2 と同様に、 k のとる値の最大値の絶対値を k_0 (実施の形態 4 にあつては、 $k_0=2$) としたとき、

第 1 番目のビット線 BL_1 の外側には、第 1 番目のビット線 BL_1 と平行に k_0 本の第 1 のダミー線群 (第 1 のダミー線 DL_{11} , DL_{12}) が設けられ、

第 N 番目のビット線 BL_N の外側には、第 N 番目のビット線 BL_N と平行に k_0 本の第 2 のダミー線群 (第 2 のダミー線 DL_{21} , DL_{22}) が設けられ、

第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目の第 1 のダミー線あるいは第 2 のダミー線群を構成する第 $[n-N + |k|]$ 番目の第 2 のダミー線に、電流 $g(k) \cdot I(n)_{BL}$ が流される。

【0194】

具体的には、実施の形態 2 と同様に、第 1 番目のビット線 BL_1 に主磁界生成電流 $\pm g(0) \cdot I_{BL}$ を流すとき、第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目 ($n=1$, $k=-1$ であり、第 1 番目) の第 1 のダミー線 DL_{11} に、第 1 補償磁界生成電流 $\pm g(\pm 1) \cdot I(n)_{BL}$ を流し、第 1 のダミー線群

を構成する第 $[(1-n) + |k|]$ 番目 ($n=1$, $k=-2$ であり、第 2 番目) の第 1 のダミー線 DL_{12} に、第 2 補償磁界生成電流 $\pm g(\pm 2) \cdot I(n)BL$ を流す。また、第 2 番目のビット線 BL_2 に主磁界生成電流 $\pm g(0) \cdot IBL$ を流すとき、第 1 のダミー線群を構成する第 $[(1-n) + |k|]$ 番目 ($n=2$, $k=-2$ であり、第 1 番目) の第 1 のダミー線 DL_{11} に、第 2 補償磁界生成電流 $\pm g(\pm 2) \cdot I(n)BL$ を流す。

【0195】

一方、第 N 番目のビット線 BL_N に主磁界生成電流 $\pm g(0) \cdot IBL$ を流すとき、第 2 のダミー線群を構成する第 $[n-N + |k|]$ 番目 ($n=N$, $k=1$ であり、第 1 番目) の第 2 のダミー線 DL_{21} に、第 1 補償磁界生成電流 $\pm g(\pm 1) \cdot I(n)BL$ を流し、第 2 のダミー線群を構成する第 $[n-N + |k|]$ 番目 ($n=N$, $k=2$ であり、第 2 番目) の第 2 のダミー線 DL_{22} に、第 2 補償磁界生成電流 $\pm g(\pm 2) \cdot I(n)BL$ を流す。また、第 $(N-1)$ 番目のビット線 BL_{N-1} に主磁界生成電流 $\pm g(0) \cdot IBL$ を流すとき、第 2 のダミー線群を構成する第 $[n-N + |k|]$ 番目 ($n=N-1$, $k=2$ であり、第 1 番目) の第 2 のダミー線 DL_{21} に、第 2 補償磁界生成電流 $\pm g(\pm 2) \cdot I(n)BL$ を流す。

【0196】

第 1 のダミー線群を構成する第 1 番目の第 1 のダミー線 DL_{11} は、図示しない開閉回路を介して第 3 電流源ユニット 43 に接続され、更には、図示しない開閉回路を介して第 5 電流源ユニット 45 に接続されている。また、第 2 のダミー線群を構成する第 1 番目の第 2 のダミー線 DL_{21} は、図示しない開閉回路を介して第 2 電流源ユニット 42 に接続され、更には、図示しない開閉回路を介して第 4 電流源ユニット 44 に接続されている。一方、第 1 のダミー線群を構成する第 2 番目の第 1 のダミー線 DL_{12} は、図示しない開閉回路を介して第 5 電流源ユニット 45 に接続されている。また、第 2 のダミー線群を構成する第 2 番目の第 2 のダミー線 DL_{22} は、図示しない開閉回路を介して第 4 電流源ユニット 44 に接続されている。

【0197】

これらの点を除き、実施の形態4の不揮発性磁気メモリ装置の構成、構造、動作は、実施の形態3の不揮発性磁気メモリ装置の構成、構造、動作と同様とすることができるので、詳細な説明は省略する。また、ダミー線の動作は、実施の形態2にて説明した動作と実質的に同様とすることができるので、詳細な説明は省略する。

【0198】

(実施の形態5)

実施の形態5は、本発明の第1の態様に係る不揮発性磁気メモリ装置（より具体的には、TMRタイプのMRAMを具備した不揮発性磁気メモリ装置）におけるトンネル磁気抵抗素子へのデータ書込方法に関する。

【0199】

実施の形態5における不揮発性磁気メモリ装置は、実施の形態2にて説明した構成、構造を有する。尚、各ビット線 BL_n には、実施の形態2と同様に、電流源ユニット BCS_n が備えられているが、電流 $g(0) \cdot I_{BL}$ 及び電流 $-g(0) \cdot I_{BL}$ 、電流 $g(\pm 1) \cdot I_{BL}$ 及び電流 $-g(\pm 1) \cdot I_{BL}$ 、並びに、電流 $g(\pm 2) \cdot I_{BL}$ 及び電流 $-g(\pm 2) \cdot I_{BL}$ を加算する回路（図示せず）が、電流源ユニット BCS_n とビット線 BL_n との間に配設されている。また、第1ダミー線電流源 $DLCS_{11}$ と第1番目の第1のダミー線 DL_{11} との間、及び、第2ダミー線電流源 $DLCS_{21}$ と第1番目の第2のダミー線 DL_{21} との間にも、同様に、電流を加算する回路（図示せず）が配設されている。

【0200】

実施の形態5にあっては、第 m 番目の書込みワード線に電流 $I(m)_{RWL}$ を流し、且つ、第1番目から第 N 番目のビット線のそれぞれに、同時に、以下の電流値 $i(n)_{BL}$ を流す。尚、 k_0 は、 k のとり値の最大値の絶対値であり、式(1)における k には0を含む。

【0201】

$$i(n)_{BL} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(n-k)_{BL} \quad (1)$$

【 0 2 0 2 】

具体的には、第 1 番目から第 N 番目のビット線のそれぞれに、同時に、以下の表 6 に示す電流値 $i(n)BL$ を流す。

【 0 2 0 3 】

[表 6]

【0205】

[表7]

ビット線	電流値 $I(n)_{BL}$
BL_1	$I(1)_{BL} = -1$
BL_1	$I(2)_{BL} = +1$
BL_3	$I(3)_{BL} = -1$
BL_4	$I(4)_{BL} = -1$
BL_5	$I(5)_{BL} = +1$
BL_6	$I(6)_{BL} = +1$
BL_7	$I(7)_{BL} = -1$
BL_8	$I(8)_{BL} = +1$

【0206】

各ビット線 BL_n における加算前の係数 (タップ・ゲイン) $g(0)$, $g(k)$ の値を矢印にて模式的に図18の (A) に示し、各ビット線 BL_n ($n=1 \sim 8$) における加算後の係数 (タップ・ゲイン) $G(n)$ の値を矢印にて模式的に図18の (B) に示す。尚、図18の (B) において、矢印 $G(-2)$, $G(-1)$, $G(+1)$, $G(+2)$ は、それぞれ、第1のダミー線群を構成する第2番目の第2のダミー線 DL_{12} 、第1のダミー線群を構成する第1番目の第2のダミー線 DL_{11} 、第2のダミー線群を構成する第1番目の第2のダミー線 DL_{21} 、第2のダミー線群を構成する第2番目の第2のダミー線 DL_{22} における加算後の係数 (タップ・ゲイン) を意味する。また、各ビット線 BL_n 及びダミー線 DL_1 , DL_{12} , DL_{21} , DL_{22} に流す規格化された電流値 $i(n)_{BL}$ を、以下の表8、及び、図19に示す。

【0207】

[表8]

表 8

	DL ₁₂	DL ₁₁	BL ₁	BL ₂	BL ₃	BL ₄	BL ₅	BL ₆	BL ₇	BL ₈	DL ₂₁	DL ₂₂
I (n) _{BL}			-1	1	-1	-1	1	1	-1	1		
g (k) I (n-k) _{BL}	-0.0885	0.7603	-1.7222	0.7603	-0.0885							
g (k) I (n-k) _{BL}		0.0885	-0.7603	1.7222	-0.7603	0.0885						
g (k) I (n-k) _{BL}			-0.0885	0.7603	-1.7222	0.7603	-0.0885					
g (k) I (n-k) _{BL}				-0.0885	0.7603	-1.7222	0.7603	-0.0885				
g (k) I (n-k) _{BL}					0.0885	-0.7603	1.7222	-0.7603	0.0885			
g (k) I (n-k) _{BL}						0.0885	-0.7603	1.7222	-0.7603	0.0885		
g (k) I (n-k) _{BL}							-0.0885	0.7603	-1.7222	0.7603	-0.0885	
g (k) I (n-k) _{BL}								0.0885	-0.7603	1.7222	-0.7603	0.0885
i (n) _{BL}			-2.571	3.1543	-1.7222	-1.5452	1.5452	1.7222	-3.1543	2.571		
i (s)	-0.0885	0.8488	-2.571	3.1543	-1.7222	-1.5452	1.5452	1.7222	-3.1543	2.571	-0.8488	0.0885
s	-2	-1	0	1	2	3	4	5	6	7	8	9
i (t)			-2.571	3.1543	-1.7222	-1.5452	1.5452	1.7222	-3.1543	2.571		
t			0	1	2	3	4	5	6	7		

【0208】

また、このとき、式 (7)、並びに、表 8 の「s」及び i (s) のそれぞれに基づき得られた X 軸方向の規格化された磁界 $[= \{i(s) \cdot \beta^2\} / \{(x-s)^2 + \beta^2\}]$ を重ね合わせたグラフを、図 20 に示す。ここで、図 44 に示し

たと同様に、ナイキストの第1基準に近づくように各書込導線に流れる電流を調整している。例として k の値を ± 1 及び ± 2 とし、図39の簡単なモデルで近似したときの、 $\beta = (h/d) = 1.0$ における係数(タップ・ゲイン) $g(0)$ 、 $g(k)$ を表2に示した値としている。以下に説明する図22～図26においても同様である。図20から明らかなように、データ「1」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは殆ど「1」になっており、データ「0」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは殆ど「-1」になっている。即ち、並列に配置された8つのトンネル磁気抵抗素子に同時にデータを書き込んでも、誤書き込みが生じることが無いことが判る。

【0209】

尚、表7に示した規格化された電流値 $I(n)_{BL}$ を各ビット線 BL_n に流したときの、図20と同様のX軸方向の規格化された磁界を重ね合わせたグラフを、図21の(B)に示す。各ビット線 BL_n に流す規格化された電流値 $i(n)_{BL}$ を図21の(A)に示す。図21の(B)から明らかなように、データ「1」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさが「1」になっていない場合があるし、データ「0」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさが「-1」になっていない場合がある。即ち、並列に配置された8つのトンネル磁気抵抗素子に同時にデータを書き込んだ場合、誤書き込みが生じることが判る。

【0210】

ダミー線 DL_{11} , DL_{12} , DL_{21} , DL_{22} を設けない場合の、式(7)、並びに、表8の「t」及び $i(t)$ のそれぞれに基づき得られたX軸方向の規格化された磁界 $[= \{i(t) \cdot \beta^2\} / \{(x-t)^2 + \beta^2\}]$ を重ね合わせたグラフは、図22に示すとおりとなる。図22からも明らかなように、データ「1」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは概ね「1」になっており、データ「0」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは概ね「-1」になっている。即ち、並列に配置された8つのトンネル磁気抵抗素子に同時にデータを書

き込んでも、誤書き込みが生じることが無いことが判る。また、ダミー線を設けることは必須ではないことが判る。

【 0 2 1 1 】

以下の表 9 に示す規格化された電流値 $I(n)_{BL}$ をビット線 BL_n に流す場合を想定する。更に、各ビット線 BL_n 及びダミー線 DL_{11} , DL_{12} , DL_{21} , DL_{22} に流す規格化された電流値 $i(n)_{BL}$ を、以下の表 9 に示す。

【 0 2 1 2 】

[表 9]

表 9

	DL ₁₂	DL ₁₁	BL ₁	BL ₂	BL ₃	BL ₄	BL ₅	BL ₆	BL ₇	BL ₈	DL ₂₁	DL ₂₂
I (n) _{BL}			-1	1	-1	1	-1	1	-1	1		
g (k) I (n-k) _{BL}	-0.0885	0.7603	-1.7222	0.7603	-0.0885							
g (k) I (n-k) _{BL}		0.0885	-0.7603	1.7222	-0.7603	0.0885						
g (k) I (n-k) _{BL}			-0.0885	0.7603	-1.7222	0.7603	-0.0885					
g (k) I (n-k) _{BL}				0.0885	-0.7603	1.7222	-0.7603	0.0885				
g (k) I (n-k) _{BL}					-0.0885	0.7603	-1.7222	0.7603	-0.0885			
g (k) I (n-k) _{BL}						0.0885	-0.7603	1.7222	-0.7603	0.0885		
g (k) I (n-k) _{BL}							-0.0885	0.7603	-1.7222	0.7603	-0.0885	
g (k) I (n-k) _{BL}								0.0885	-0.7603	1.7222	-0.7603	0.0885
i (n) _{BL}			-2.571	3.3313	-3.4198	3.4198	-3.4198	3.4198	-3.3313	2.571		
i (s)	-0.0885	0.8488	-2.571	3.3313	-3.4198	3.4198	-3.4198	3.4198	-3.3313	2.571	-0.8488	0.0885
s	-2	-1	0	1	2	3	4	5	6	7	8	9
i (t)			-2.571	3.3313	-3.4198	3.4198	-3.4198	3.4198	-3.3313	2.571		
t			0	1	2	3	4	5	6	7		

【0213】

また、このとき、式 (7)、並びに、表 9 の「s」及び i (s) のそれぞれに基づき得られた X 軸方向の規格化された磁界 $[= \{i(s) \cdot \beta^2\} / \{(x-s)^2 + \beta^2\}]$ を重ね合わせたグラフを、図 23 に示す。図 23 から明らかなよ

うに、データ「1」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは殆ど「1」になっており、データ「0」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは殆ど「-1」になっている。即ち、並列に配置された8つのトンネル磁気抵抗素子に同時にデータを書き込んでも、誤書き込みが生じることが無いことが判る。

【0214】

ダミー線DL₁₁, DL₁₂, DL₂₁, DL₂₂を設けない場合の、式(7)、並びに、表9の「t」及びi(t)のそれぞれに基づき得られたX軸方向の規格化された磁界 $[= \{ i(t) \cdot \beta^2 \} / \{ (x-t)^2 + \beta^2 \}]$ を重ね合わせたグラフは、図24に示すとおりとなる。図24からも明らかなように、データ「1」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは概ね「1」になっており、データ「0」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは概ね「-1」になっている。即ち、並列に配置された8つのトンネル磁気抵抗素子に同時にデータを書き込んでも、誤書き込みが生じることが無いことが判る。また、ダミー線を設けることは必須ではないことが判る。

【0215】

以下の表10に示す規格化された電流値I(n)_{BL}をビット線BL_nに流す場合を想定する。更に、各ビット線BL_n及びダミー線DL₁₁, DL₁₂, DL₂₁, DL₂₂に流す規格化された電流値i(n)_{BL}を、以下の表10に示す。

【0216】

[表10]

表 10

	DL ₁₂	DL ₁₁	BL ₁	BL ₂	BL ₃	BL ₄	BL ₅	BL ₆	BL ₇	BL ₈	DL ₂₁	DL ₂₂
I (n) _{BL}			1	1	1	1	1	1	1	1		
g (k) I (n-k) _{BL}	0.0885	-0.7603	1.7222	-0.7603	0.0885							
g (k) I (n-k) _{BL}		0.0885	-0.7603	1.7222	-0.7603	0.0885						
g (k) I (n-k) _{BL}			0.0885	-0.7603	1.7222	-0.7603	0.0885					
g (k) I (n-k) _{BL}				0.0885	-0.7603	1.7222	-0.7603	0.0885				
g (k) I (n-k) _{BL}					0.0885	-0.7603	1.7222	-0.7603	0.0885			
g (k) I (n-k) _{BL}						0.0885	-0.7603	1.7222	-0.7603	0.0885		
g (k) I (n-k) _{BL}							0.0885	-0.7603	1.7222	-0.7603	0.0885	
i (n) _{BL}			1.0504	0.2901	0.3786	0.3786	0.3786	0.3786	0.2901	1.0504		
i (s)	0.0885	-0.6718	1.0504	0.2901	0.3786	0.3786	0.3786	0.3786	0.2901	1.0504	-0.6718	0.0885
s	-2	-1	0	1	2	3	4	5	6	7	8	9
i (t)			1.0504	0.2901	0.3786	0.3786	0.3786	0.3786	0.2901	1.0504		
t			0	1	2	3	4	5	6	7		

【0217】

また、式 (7)、並びに、表 10 の「s」及び i (s) のそれぞれに基づき得られた X 軸方向の規格化された磁界 $[= \{ i (s) \cdot \beta^2 \} / \{ (x-s)^2 + \beta^2 \}]$ を重ね合わせたグラフを、図 25 に示す。図 25 から明らかなように、デ

ータ「1」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは殆ど「1」になっており、データ「0」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは殆ど「-1」になっている。即ち、並列に配置された8つのトンネル磁気抵抗素子に同時にデータを書き込んでも、誤書き込みが生じることが無いことが判る。

【0218】

ダミー線DL₁₁, DL₁₂, DL₂₁, DL₂₂を設けない場合の、式(7)、並びに、表10の「t」及びi(t)のそれぞれに基づき得られたX軸方向の規格化された磁界 $[= \{ i(t) \cdot \beta^2 \} / \{ (x-t)^2 + \beta^2 \}]$ を重ね合わせたグラフは、図26に示すとおりとなる。図26からも明らかなように、データ「1」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは概ね「1」になっており、データ「0」を書き込むべきトンネル磁気抵抗素子にあっては、X方向の規格化された磁界の大きさは概ね「-1」になっている。即ち、並列に配置された8つのトンネル磁気抵抗素子に同時にデータを書き込んでも、誤書き込みが生じることが無いことが判る。また、ダミー線を設けることは必須ではないことが判る。

【0219】

$\beta = (h/d) = 1.0$ の場合のアイ・パターンを図27の(A)、(B)及び図28の(A)、(B)に示す。アイ・パターンとは、デジタル伝送の分野において等化特性を評価するために一般に用いられているものである。尚、図27の(A)、(B)及び図28の(A)、(B)において、横軸における値の単位は「d」である。

【0220】

尚、図27の(A)は、書込みワード線に沿って無限個のトンネル磁気抵抗素子が並べられているときに、±1の値を持つランダムな電流I_{BL}又は電流値-I_{BL}がビット線に流れたときに生成する磁界を重ね書きしたものである。即ち、等化前の磁界の重ね合わせを示す。

【0221】

また、図27の(B)は、書込みワード線に沿って無限個のトンネル磁気抵抗

素子が並べられているときに、 ± 1 の値を持つランダムな電流 I_{BL} 又は電流値 $-I_{BL}$ が主磁界生成電流 $\pm g(0) \cdot I_{BL}$ としてビット線に流れ、更に、第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ を流したときに生成する磁界を重ね書きしたものである。即ち、3タップの FIR フィルターを構成した場合である。

【0222】

更には、図28の(A)は、書込みワード線に沿って無限個のトンネル磁気抵抗素子が並べられているときに、 ± 1 の値を持つランダムな電流 I_{BL} 又は電流値 $-I_{BL}$ が主磁界生成電流 $\pm g(0) \cdot I_{BL}$ としてビット線に流れ、更に、第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ 、第2補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ を流したときに生成する磁界を重ね書きしたものである。即ち、5タップの FIR フィルターを構成した場合である。

【0223】

また、図28の(B)は、書込みワード線に沿って無限個のトンネル磁気抵抗素子が並べられているときに、 ± 1 の値を持つランダムな電流 I_{BL} 又は電流値 $-I_{BL}$ が主磁界生成電流 $\pm g(0) \cdot I_{BL}$ としてビット線に流れ、更に、第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ 、第2補償磁界生成電流 $\pm g(\pm 2) \cdot I_{BL}$ 、第3補償磁界生成電流 $\pm g(3) \cdot I_{BL}$ を流したときに生成する磁界を重ね書きしたものである。即ち、7タップの FIR フィルターを構成した場合である。

【0224】

これらのアイ・パターンの図から、 $\beta = (h/d) = 1.0$ の場合、空間的な FIR フィルターを構成しなければ、磁界の干渉が大きく、トンネル磁気抵抗素子への並列書き込みはできないが、少なくとも3タップの FIR フィルターを構成すれば、磁界干渉が抑圧されて、トンネル磁気抵抗素子への並列書き込みが可能になることがわかる。5タップの FIR フィルター、7タップの FIR フィルターを構成した場合、磁界干渉は一層抑圧される。

【0225】

$\beta = (h/d) = 0.5$ の場合の図27の(A)と同様のアイ・パターン図を図29の(A)に示し、図27の(B)と同様のアイ・パターン図を図29の(B)に示す。例えば、磁界の大きさが0.5以上で、データを書き込むべきトン

ネル磁気抵抗素子においてデータを書き込むことができると仮定する。この場合、等化前では或る一定の割合でトンネル磁気抵抗素子にデータが誤って書き込まれないことがあるのに対して、3タップのFIRフィルターを構成すれば、このような書き込み失敗が発生しなくなることが判る。

【0226】

$\beta = (h/d) = 1.0$ の場合のアイ・パターンを、更に、図30、図31及び図32に示す。尚、図30は、書き込みワード線に沿って8個のトンネル磁気抵抗素子が並べられているときに、 ± 1 の値を持つランダムな電流 I_{BL} 又は電流値 $-I_{BL}$ がビット線に流れたときに生成する磁界を重ね書きしたものである。即ち、等化前の磁界の重ね合わせを示す。また、図31は、第1番目及び第8番目のビット線の外側に、それぞれ、1本のダミー線 DL_1 、 DL_2 を設けた場合の、書き込みワード線に沿って8個のトンネル磁気抵抗素子が並べられているときに、 ± 1 の値を持つランダムな電流 I_{BL} 又は電流値 $-I_{BL}$ が主磁界生成電流 $\pm g(0) \cdot I_{BL}$ としてビット線に流れ、更に、第1補償磁界生成電流 $\pm g(\pm 1) \cdot I_{BL}$ を流したときに生成する磁界を重ね書きしたものである。即ち、3タップのFIRフィルターを構成した場合である。更には、図32は、ダミー線を設けない場合の3タップのFIRフィルターを構成した場合を示す。図31と図32の比較からも、ダミー線を設けることは必須ではないことが判る。

【0227】

実施の形態5の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書き込みにあつては、先ず、開閉回路 SW_{RWL1} をオン状態とし、第1番目の書き込みワード線 RWL_1 に書き込みワード線電流源 RS_1 から電流 I_{RWL} を流す。そして、第1番目～第8番目のビット線 $BL_1 \sim BL_8$ のそれぞれに同時に、例えば表6に示した電流を流す。そして、この操作を、第2番目の書き込みワード線 RWL_2 から第M番目の書き込みワード線 RWL_M まで、順次、繰り返す。

【0228】

実施の形態5の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書き込みにあつては、隣接するトンネル磁気抵抗素子にデータが誤って書き込まれることを確実に防止することができる。

【0229】

(実施の形態6)

実施の形態6は、本発明の第2の態様に係る不揮発性磁気メモリ装置に関する。実施の形態6の不揮発性磁気メモリ装置の等価回路図を図33に示す。

【0230】

図33に示すように、実施の形態6の不揮発性磁気メモリ装置は、

(A) 第1の方向に延びるM本（但し、 $M \geq 2$ であり、実施の形態6においては $M=32$ ）の書込みワード線 RWL_m ($m=1, 2, \dots, M$) と、

(B) 第1の方向とは異なる第2の方向に延びるN本（但し、 $N \geq 1$ であり、実施の形態1においては $N=8$ ）のビット線 BL_n ($n=1, 2, \dots, N$) と

(C) 書込みワード線 RWL_m とビット線 BL_n との重複領域に設けられた、 $N \times M$ ($=8 \times 32$) 個の上述したトンネル磁気抵抗素子 TMJ 、
から成る不揮発性磁気メモリアレイを備えている。

【0231】

そして、第m番目（但し、mは、 $1, 2, \dots, M$ のいずれか）の書込みワード線 RWL_m と第n番目（但し、nは、 $1, 2, \dots, N$ のいずれか）のビット線 BL_n との重複領域に位置するトンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータが書き込まれるとき、第n番目のビット線 BL_n に電流 $I(n)_{BL}$ が流され、且つ、第m番目の書込みワード線 RWL_m に電流 $g(0) \cdot I(m)_{RWL}$ [ここで、 $g(0)$ は係数] が流され、併せて、第p番目（但し、 $p=n+k$ であり、kは $\pm 1, \pm 2, \dots$ の値をとり、実施の形態6においては、kは、 $-2, -1, 1, 2$ の値をとる）の書込みワード線 RWL_p （但し、合計本数はK本）に電流 $g(k) \cdot I(m)_{RWL}$ [ここで、 $g(k)$ は係数] が流される。

【0232】

ここで、電流 $I(m)_{RWL}$ によって第m番目の書込みワード線 RWL_m 及びK本の書込みワード線 RWL_p に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的なFIRフィルターが、第m番目の書込みワード線 RWL_m 及びK本の書込みワード線 R

WL_p によって構成されている。

【0233】

更には、第 m 番目の書込みワード線 RWL_p に流される電流 $g(0) \cdot I(m)$ RWL によって形成される磁界（主磁界）、 K 本の書込みワード線 RWL_p のそれぞれに流される電流 $g(k) \cdot I(m)$ RWL によって形成される磁界（補償磁界）、及び、第 n 番目のビット線 BL_n に流される電流 $I(n)$ BL によって形成される磁界に基づく合成磁界によって、第 m 番目の書込みワード線 RWL_m と第 n 番目のビット線 BL_n との重複領域に位置するトンネル磁気抵抗素子 $TMJ_{(m,n)}$ にはデータが書き込まれ、第 n 番目のビット線 BL_n と K 本の書込みワード線 RWL_p との重複領域に位置するトンネル磁気抵抗素子 $TMJ_{(p,n)}$ のそれぞれにはデータが書き込まれないように、係数 $g(0)$ 及び $g(k)$ が規定されている。

【0234】

例として k の値を ± 1 及び ± 2 とし、図39の簡単なモデルで近似したときの、 $\beta = (h/d) = 1.0$ における $g(-2)$ 、 $g(-1)$ 、 $g(0)$ 、 $g(1)$ 、 $g(2)$ の値を、表2に示した値とした。

【0235】

尚、 k のとり値の最大値の絶対値 k_0 は2である。また、 m の値と K の値との関係は、以下の表11のとおりである。

【0236】

[表11]

$m=1$ のとき	$K=2$
$m=2$ のとき	$K=3$
$3 \leq m \leq (M-2)$ のとき	$K=4$
$m=(M-1)$ のとき	$K=3$
$m=M$ のとき	$K=2$

【0237】

ところで、 $g(-2)$ と $g(2)$ の値は同じであり、 $g(-1)$ と $g(1)$ の値は同じである。従って、以下の説明においては、 $g(-1) \cdot I_{RWL}$ を流すための電流ソースと $g(1) \cdot I_{RWL}$ を流すための電流ソースを1つの電流ソース

から構成し、 $g(-2) \cdot I_{RWL}$ を流すための電流ソースと $g(2) \cdot I_{RWL}$ を流すための電流ソースを1つの電流ソースから構成する。実施の形態7～実施の形態10においても同様とする。尚、 $I(m)_{RWL}$ の値は、 m の値に拘わらず同じ値としているので、以下、 I_{RWL} と表現する。また、係数 $g(1)$ と係数 $g(-1)$ は同じ値を有しているので、以下、 $g(1)$ と表現し、係数 $g(2)$ と係数 $g(-2)$ は同じ値を有しているので、以下、 $g(2)$ と表現する。

【0238】

即ち、各書込みワード線 RWL_m には、電流 $g(0) \cdot I(m)_{RWL}$ 、電流 $g(1) \cdot I(m)_{RWL}$ 、電流 $g(2) \cdot I(m)_{RWL}$ を書込みワード線 m に流す電流源ユニット RCS_m が備えられている。

【0239】

電流源ユニット RCS_m には、MOS型FETから成る開閉回路 SW_{RWLm-j} （ここで、 $j=1, 2, 3$ ）が備えられており、開閉回路 SW_{RWLm-j} のオン・オフ動作によって、電流源ユニット RCS_m から、電流 $g(0) \cdot I_{RWL}$ 、電流 $g(1) \cdot I_{RWL}$ 、電流 $g(2) \cdot I_{RWL}$ の3つの電流の内のいずれか1つの電流を書込みワード線 RWL_m に流すことができる。尚、図33においては、第1番目の書込みワード線 RWL_1 に接続された電流源ユニット RCS_1 を示すが、他の電流源ユニット RCS_2 ～電流源ユニット RCS_{32} も、電流源ユニット RCS_1 と同じ構成を有する。

【0240】

電流 $g(0) \cdot I_{RWL}$ は、第 m 番目の書込みワード線 RWL_m に対向した N 個のトンネル磁気抵抗素子（トンネル磁気抵抗素子 $TMJ_{(m,1)}$ ～トンネル磁気抵抗素子 $TMJ_{(m,N)}$ ）へのデータ書込みのための磁界を生成する電流（以下、主磁界生成電流 $g(0) \cdot I_{RWL}$ と呼ぶ場合がある）である。

【0241】

一方、電流 $g(1) \cdot I_{RWL}$ は、第 m 番目の書込みワード線 RWL_m に隣接した隣接書込みワード線 $RWL_{m'}$ 〔但し、 $m'=m \pm 1$ であり、且つ、 $2 \leq m' \leq (M-1)$ 〕に対向したトンネル磁気抵抗素子（トンネル磁気抵抗素子 $TMJ_{(m',1)}$ ～トンネル磁気抵抗素子 $TMJ_{(m',N)}$ ）へのデータ書込み時に書込みワード線

RWL_m に主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れる結果生成された磁界によって、第 m 番目の書込みワード線 RWL_m に対向したトンネル磁気抵抗素子（トンネル磁気抵抗素子 $TMJ_{(m,1)} \sim$ トンネル磁気抵抗素子 $TMJ_{(m,N)}$ ）に記憶されたデータが破壊されることを防止するための補償磁界を生成する補償電流（以下、第 1 補償磁界生成電流 $g(1) \cdot I_{RWL}$ と呼ぶ場合がある）である。

【0242】

更には、電流 $g(2) \cdot I_{RWL}$ は、第 m 番目の書込みワード線 RWL_m に隣接した隣接書込みワード線 $RWL_{m''}$ [但し、 $m'' = m \pm 2$ であり、且つ、 $3 \leq m'' \leq (M-2)$] に対向したトンネル磁気抵抗素子（トンネル磁気抵抗素子 $TMJ_{(m'',1)} \sim$ トンネル磁気抵抗素子 $TMJ_{(m'',N)}$ ）へのデータ書込み時に書込みワード線 $RWL_{m''}$ に主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れる結果生成された磁界によって、第 m 番目の書込みワード線 RWL_m に対向したトンネル磁気抵抗素子（トンネル磁気抵抗素子 $TMJ_{(m,1)} \sim$ トンネル磁気抵抗素子 $TMJ_{(m,N)}$ ）に記憶されたデータが破壊されることを防止するための補償磁界を生成する補償電流（以下、第 2 補償磁界生成電流 $g(2) \cdot I_{RWL}$ と呼ぶ場合がある）である。

【0243】

即ち、隣接書込みワード線 $RWL_{m'}$ に主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れるとき、第 m 番目の書込みワード線 RWL_m には第 1 補償磁界生成電流 $g(1) \cdot I_{RWL}$ が流される。また、隣接書込みワード線 $RWL_{m''}$ に主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れるとき、第 m 番目の書込みワード線 RWL_m には第 2 補償磁界生成電流 $g(2) \cdot I_{RWL}$ が流される。尚、トンネル磁気抵抗素子 TMJ へのデータ書込みが不要の場合には、書込みワード線に電流を流さない。

【0244】

ビット線 BL_n は、MOS 型 FET から成る開閉回路 SW_{Bn-i} （ここで、 $i = 1, 2$ ）を介して、ビット線電流源 BS_n に接続されている。そして、開閉回路 SW_{Bn-i} がオン状態にあるとき、ビット線 BL_n に電流 $I(n)_{BL}$ （具体的には、電流 I_{BL} 又は電流 $-I_{BL}$ ）が流れる構成となっている。

【0245】

この実施の形態 6 の不揮発性磁気メモリ装置にあっては、トンネル磁気抵抗素

子TMJへのデータ書込み時、開閉回路 SW_{B1-i} をオン状態とし、第1番目のビット線 BL_1 にビット線電流源 BS_1 から電流 $I(1)_{BL}$ を流す。そして、第1番目の書込みワード線 RWL_1 に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流し、第2番目の書込みワード線 RWL_2 に第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ を流し、第3番目の書込みワード線 RWL_3 に第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。そして、この操作を、第2番目のビット線 BL_2 から第N番目のビット線 BL_N まで、順次、繰り返す。

【0246】

次いで、再び、第1番目のビット線 BL_1 にビット線電流源 BS_1 から電流 $I(1)_{BL}$ を流す。そして、第2番目の書込みワード線 RWL_2 に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流し、第1番目の書込みワード線 RWL_1 及び第3番目の書込みワード線 RWL_3 に第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ を流し、第4番目の書込みワード線 RWL_4 に第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。そして、この操作を、第2番目のビット線 BL_2 から第N番目のビット線 BL_N まで、順次、繰り返す。

【0247】

更に、再び、第1番目のビット線 BL_1 にビット線電流源 BS_1 から電流 $I(1)_{BL}$ を流す。そして、第3番目の書込みワード線 RWL_3 に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流し、第2番目の書込みワード線 RWL_2 及び第4番目の書込みワード線 RWL_4 に第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ を流し、第1番目の書込みワード線 RWL_1 及び第5番目の書込みワード線 RWL_5 に第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。そして、この操作を、第2番目のビット線 BL_2 から第N番目のビット線 BL_N まで、順次、繰り返す。更には、これらの操作を、第4番目の書込みワード線 RWL_4 から第 $(M-2)$ 番目の書込みワード線 RWL_{M-2} まで、順次、繰り返す。

【0248】

次いで、再び、第1番目のビット線 BL_1 にビット線電流源 BS_1 から電流 $I(1)_{BL}$ を流す。そして、第 $(M-1)$ 番目の書込みワード線 RWL_{M-1} に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流し、第 $(M-2)$ 番目の書込みワード線 RWL_{M-2}

及び第M番目の書込みワード線 RWL_M に第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ を流し、第(M-3)番目の書込みワード線 RWL_{M-3} に第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。そして、この操作を、第2番目のビット線 BL_2 から第N番目のビット線 BL_N まで、順次、繰り返す。

【0249】

更に、再び、第1番目のビット線 BL_1 にビット線電流源 BS_1 から電流 $I(1)_{BL}$ を流す。そして、第M番目の書込みワード線 RWL_M に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流し、第(M-1)番目の書込みワード線 RWL_{M-1} に第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ を流し、第(M-2)番目の書込みワード線 RWL_{M-2} に第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。そして、この操作を、第2番目のビット線 BL_2 から第N番目のビット線 BL_N まで、順次、繰り返す。

【0250】

尚、以上に説明した動作は例示であり、適宜、変更することができる。実施の形態7～実施の形態10においても、 $m \times n$ 個のトンネル磁気抵抗素子に、実質的に同様の方法でデータを書き込むことができる。

【0251】

[トンネル磁気抵抗素子 $TMJ(4,4)$ へのデータの書込み]

以下、第4番目のビット線 BL_4 に接続され、第4番目の書込みワード線 RWL_4 と重複する領域に位置する(第4番目の書込みワード線 RWL_4 と対向する)トンネル磁気抵抗素子 $TMJ(4,4)$ にデータを書き込む場合を例にとり、説明する。

【0252】

データ書込み直前においては、開閉回路 SW_{Bn-i} ($n=1, 2, \dots, N$)の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{B4-i} をオン状態とし、第4番目のビット線 BL_4 にビット線電流源 BS_4 から電流 $I(4)_{BL}$ を流す。一方、電流源ユニット RC_{S4} においては、開閉回路 SW_{RWLm-j} (ここで、 $m=4, j=1$)が選択されオン状態となる。これによって、第4番目の書込みワード線 RWL_4 には、主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れる。

【0253】

一方、電流源ユニット RCS_3 及び電流源ユニット RCS_5 においては、開閉回路 SW_{RWLm-j} (ここで、 $m=3$ 及び 5 , $j=2$) が選択されオン状態となる。これによって、第3番目の書込みワード線 RWL_3 及び第5番目の書込みワード線 RWL_5 には、第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ が流れる。

【0254】

また、電流源ユニット RCS_2 及び電流源ユニット RCS_6 においては、開閉回路 SW_{RWLm-j} (ここで、 $m=2$ 及び 6 , $j=3$) が選択されオン状態となる。これによって、第2番目の書込みワード線 RWL_2 及び第6番目の書込みワード線 RWL_6 には、第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ が流れる。

【0255】

以上の結果として生成される合成磁界 (第4番目の書込みワード線 RWL_4 を流れる主磁界生成電流 $g(0) \cdot I_{RWL}$ によって生成される磁界、第3番目及び第5番目の書込みワード線 RWL_3 , RWL_5 を流れる第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ によって生成される磁界、第2番目及び第6番目の書込みワード線 RWL_2 , RWL_6 を流れる第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ によって生成される磁界、及び、第4番目のビット線 BL_4 を流れる電流 $I(4)_{BL}$ によって生成される磁界の合成磁界) によって、トンネル磁気抵抗素子 $TMJ(4,4)$ における第2の強磁性体層 (記録層) 35 の磁化の方向が変えられ、第2の強磁性体層 (記録層) 35 に「1」又は「0」を記録することができる。一方、この合成磁界によっては、トンネル磁気抵抗素子 $TMJ(2,4)$, $TMJ(3,4)$ 及びトンネル磁気抵抗素子 $TMJ(5,4)$, $TMJ(6,4)$ の第2の強磁性体層 (記録層) 35 の磁化の方向は変化しない。

【0256】

尚、トンネル磁気抵抗素子 $TMJ(4,4)$ の第2の強磁性体層 (記録層) 35 においては、合成磁界が、図38に示したアステロイド曲線における領域 (OUT1) に含まれる値となるように、一方、トンネル磁気抵抗素子 $TMJ(2,4)$, $TMJ(3,4)$ 及びトンネル磁気抵抗素子 $TMJ(5,4)$, $TMJ(6,4)$ の第2の強磁性体層 (記録層) 35 においては、合成磁界が、図38に示したアステロイド曲線における領域 (IN) に含まれる値となるように、電流 $\pm I_{BL}$ 及び電流 I_{RWL} の値

が予め決定されている。

【0257】

書込みワード線を流れる主磁界生成電流 $g(0) \cdot I_{RWL}$ によって記録層 35 の磁化容易軸方向の磁界 (H_{EA}) が形成され、ビット線を流れる電流 $\pm I_{BL}$ によって記録層 35 の磁化困難軸方向の磁界 (H_{HA}) が形成される構成であってもよいし、書込みワード線を流れる主磁界生成電流 $g(0) \cdot I_{RWL}$ によって記録層 35 の磁化困難軸方向の磁界 (H_{HA}) が形成され、ビット線を流れる電流 $\pm I_{BL}$ によって記録層 35 の磁化容易軸方向の磁界 (H_{EA}) が形成される構成であってもよい。後述する実施の形態 7～実施の形態 10 においても同様である。

【0258】

[トンネル磁気抵抗素子 $TMJ(m, n)$ へのデータの書込み]

一般に、第 m 番目の書込みワード線 RWL_m [但し、 $m = 3, 4 \dots (M-3), (M-2)$] に対向し、第 n 番目のビット線 BL_n と重複する領域に位置する (第 n 番目のビット線 BL_n に電氣的に接続された) トンネル磁気抵抗素子 $TMJ(m, n)$ へデータを書き込む場合には、以下の動作を実行する。

【0259】

データ書込み直前においては、開閉回路 SW_{Bn-i} ($n = 1, 2 \dots, N$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{Bn-i} をオン状態とし、第 n 番目のビット線 BL_n にビット線電流源 BS_n から電流 $I(n)_{BL}$ を流す。一方、電流源ユニット RCS_m においては、開閉回路 SW_{RWLm-1} が選択されオン状態となる。これによって、第 m 番目の書込みワード線 RWL_m には、主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れる。

【0260】

一方、電流源ユニット RCS_{m-1} 及び電流源ユニット RCS_{m+1} においては、開閉回路 $SW_{RWLm'-2}$ [ここで、 $m' = (m-1)$ 及び $(m+1)$] が選択されオン状態となる。これによって、第 $(m-1)$ 番目の書込みワード線 RWL_{m-1} 及び第 $(m+1)$ 番目の書込みワード線 RWL_{m+1} には、第 1 補償磁界生成電流 $g(1) \cdot I_{RWL}$ が流れる。

【0261】

更には、電流源ユニット RCS_{m-2} 及び電流源ユニット RCS_{m+2} においては、開閉回路 $SW_{RWLm''-3}$ [ここで、 $m'' = (m-2)$ 及び $(m+2)$] が選択されオン状態となる。これによって、第 $(m-2)$ 番目の書込みワード線 RWL_{m-2} 及び第 $(m+2)$ 番目の書込みワード線 RWL_{m+2} には、第 2 補償磁界生成電流 $g(2) \cdot I_{RWL}$ が流れる。

【0262】

[トンネル磁気抵抗素子 $TMJ(1,n)$ 又は $TMJ(M,n)$ へのデータの書込み]

第 P 番目の書込みワード線 RWL_P (但し、 $P = 1$ 又は M) に対向し、第 n 番目のビット線 BL_n に電氣的に接続されたトンネル磁気抵抗素子 $TMJ(P,n)$ へデータを書き込む場合には、以下の動作を実行する。

【0263】

データ書込み直前においては、開閉回路 SW_{Bn-i} ($n = 1, 2, \dots, N$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{Bn-i} をオン状態とし、第 n 番目のビット線 BL_n にビット線電流源 BS_n から電流 $I(n)_{BL}$ を流す。一方、電流源ユニット RCS_P においては、開閉回路 SW_{RWLP-1} が選択されオン状態となる。これによって、第 P 番目の書込みワード線 RWL_P には、主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れる。

【0264】

一方、電流源ユニット RCS_2 又は電流源ユニット RCS_{M-1} においては、開閉回路 $SW_{RWLP'-2}$ [ここで、 $P' = 2$ 又は $(M-1)$] が選択されオン状態となる。これによって、第 2 番目の書込みワード線 RWL_2 又は第 $(M-1)$ 番目の書込みワード線 RWL_{M-1} には、第 1 補償磁界生成電流 $g(1) \cdot I_{RWL}$ が流れる。

【0265】

更には、電流源ユニット RCS_3 又は電流源ユニット RCS_{M-2} においては、開閉回路 $SW_{RWLP''-3}$ [ここで、 $P'' = 3$ 又は $(M-2)$] が選択されオン状態となる。これによって、第 3 番目の書込みワード線 RWL_3 又は第 $(M-2)$ 番目の書込みワード線 RWL_{M-2} には、第 2 補償磁界生成電流 $g(2) \cdot I_{RWL}$ が流れる。

【0266】

[トンネル磁気抵抗素子 $TMJ(2, n)$ 又は $TMJ(M-1, n)$ へのデータの書込み]

第 P 番目の書込みワード線 RWL_P [但し、 $P=2$ 又は $(M-1)$] に対向し、第 n 番目のビット線 BL_n に電氣的に接続されたトンネル磁気抵抗素子 $TMJ(P, n)$ へデータを書き込む場合には、以下の動作を実行する。

【0267】

データ書込み直前においては、開閉回路 SW_{Bn-i} ($n=1, 2, \dots, N$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{Bn-i} をオン状態とし、第 n 番目のビット線 BL_n にビット線電流源 BS_n から電流 $I(n)_{BL}$ を流す。一方、電流源ユニット RCS_P においては、開閉回路 SW_{RWLP-1} が選択されオン状態となる。これによって、第 P 番目の書込みワード線 RWL_P には、主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れる。

【0268】

一方、電流源ユニット RCS_1 及び電流源ユニット RCS_3 、又は、電流源ユニット RCS_{M-2} 及び電流源ユニット RCS_M においては、開閉回路 $SW_{RWLP'-2}$ [ここで、 $P'=1$ 及び 3 、又は、 $(M-2)$ 及び M] が選択されオン状態となる。これによって、第 1 番目の書込みワード線 RWL_1 及び第 3 番目の書込みワード線 RWL_3 、又は、第 $(M-2)$ 番目の書込みワード線 RWL_{M-2} 及び第 M 番目の書込みワード線 RWL_M には、第 1 補償磁界生成電流 $g(1) \cdot I_{RWL}$ が流れる。

【0269】

更には、電流源ユニット RCS_4 又は電流源ユニット RCS_{M-3} においては、開閉回路 $SW_{RWLP''-2}$ [ここで、 $P''=4$ 又は $(M-3)$] が選択されオン状態となる。これによって、第 4 番目の書込みワード線 RWL_4 又は第 $(M-3)$ 番目の書込みワード線 RWL_{M-3} には、第 2 補償磁界生成電流 $g(2) \cdot I_{RWL}$ が流れる。

【0270】

実施の形態 6 の不揮発性磁気メモリ装置においては、トンネル磁気抵抗素子 $TMJ(m, n)$ にデータを書き込む場合、電流源ユニット RCS_m から主磁界生成電流

$g(0) \cdot I_{RWL}$ が書込みワード線 RWL_m に流され、電流源ユニット RCS_{m-2} , ユニット RCS_{m-1} , RCS_{m+1} , RCS_{m+2} から補償磁界生成電流 $g(2) \cdot I_{RWL}$, $g(1) \cdot I_{RWL}$, $g(1) \cdot I_{RWL}$, $g(2) \cdot I_{RWL}$ が書込みワード線 RWL_{m-2} , RWL_{m-1} , RWL_{m+1} , RWL_{m+2} に流される結果、書込みワード線 RWL_{m-2} , RWL_{m-1} , RWL_{m+1} 及び RWL_{m+2} に対向するトンネル磁気抵抗素子 $TMJ_{(m-2,n)}$, $TMJ_{(m-1,n)}$, $TMJ_{(m+1,n)}$ 及び $TMJ_{(m+2,n)}$ に記憶されたデータが破壊されることを確実に防止することができる。

【0271】

(実施の形態7)

実施の形態7は、実施の形態6の変形である。実施の形態7の不揮発性磁気メモリ装置の等価回路図を図34に示す。

【0272】

実施の形態6にて説明した不揮発性磁気メモリ装置にあつては、例えば、第1番目の書込みワード線 RWL_1 あるいは第M番目の書込みワード線 RWL_M を流れる電流によって主磁界[電流 $g(0) \cdot I(1)_{RWL}$ あるいは電流 $g(0) \cdot I(M)_{RWL}$ によって生成する磁界]が生成され、第2番目及び第3番目の書込みワード線 RWL_2 , RWL_3 、あるいは、第(M-2)番目及び第(M-1)番目の書込みワード線 $RWL_{(M-2)}$, $RWL_{(M-1)}$ を流れる電流によって補償磁界[電流 $g(1) \cdot I(1)_{RWL}$, 電流 $g(2) \cdot I(1)_{RWL}$ あるいは電流電流 $g(-2) \cdot I(M)_{RWL}$, $g(-1) \cdot I(M)_{RWL}$ によって生成する磁界]が生成されるが、係る補償磁界は、例えば、第1番目の書込みワード線 RWL_1 あるいは第M番目の書込みワード線 RWL_M を基準としたとき、非対称となる。

【0273】

それ故、実施の形態7の不揮発性磁気メモリ装置にあつては、kのとり値の最大値の絶対値を k_0 (実施の形態7にあつては、 $k_0=2$)としたとき、

第1番目の書込みワード線 RWL_1 の外側には、第1番目の書込みワード線 RWL_1 と平行に k_0 本の第1のダミー線群(第1のダミー線 DL_{11} , DL_{12})が設けられ、

第M番目の書込みワード線 RWL_M の外側には、第M番目の書込みワード線 R

WL_M と平行に k_0 本の第2のダミー線群（第2のダミー線 DL_{21} , DL_{22} ）が設けられ、

第1のダミー線群を構成する第 $[(1-m) + |k|]$ 番目の第1のダミー線あるいは第2のダミー線群を構成する第 $[m-M + |k|]$ 番目の第2のダミー線に、電流 $g(k) \cdot I(m)_{RWL}$ が流される。

【0274】

具体的には、第1番目の書込みワード線 RWL_1 に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流すとき、第1のダミー線群を構成する第 $[(1-m) + |k|]$ 番目（ $m=1$, $k=-1$ であり、第1番目）の第1のダミー線 DL_{11} に、第1補償磁界生成電流 $g(-1) \cdot I_{RWL}$ を流し、第1のダミー線群を構成する第 $[(1-m) + |k|]$ 番目（ $m=1$, $k=-2$ であり、第2番目）の第1のダミー線 DL_{12} に、第2補償磁界生成電流 $g(-2) \cdot I_{RWL}$ を流す。また、第2番目の書込みワード線 RWL_2 に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流すとき、第1のダミー線群を構成する第 $[(1-m) + |k|]$ 番目（ $m=2$, $k=-2$ であり、第1番目）の第1のダミー線 DL_{11} に、第2補償磁界生成電流 $g(-2) \cdot I_{RWL}$ を流す。

【0275】

一方、第 M 番目の書込みワード線 RWL_M に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流すとき、第2のダミー線群を構成する第 $[m-M + |k|]$ 番目（ $m=M$, $k=1$ であり、第1番目）の第2のダミー線 DL_{21} に、第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ を流し、第2のダミー線群を構成する第 $[m-M + |k|]$ 番目（ $m=M$, $k=2$ であり、第2番目）の第2のダミー線 DL_{22} に、第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。また、第 $(M-1)$ 番目の書込みワード線 RWL_{M-1} に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流すとき、第2のダミー線群を構成する第 $[m-M + |k|]$ 番目（ $m=M-1$, $k=2$ であり、第1番目）の第2のダミー線 DL_{21} に、第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。

【0276】

第1のダミー線群を構成する第1番目の第1のダミー線 DL_{11} は、第1ダミー線電流源 $DLCS_{11}$ に接続され、第1のダミー線群を構成する第2番目の第1の

ダミー線 DL_{12} は、第 1 ダミー線電流源 $DLC S_{12}$ に接続され、第 2 のダミー線群を構成する第 1 番目の第 2 のダミー線 DL_{21} は、第 2 ダミー線電流源 $DLC S_{21}$ に接続され、第 2 のダミー線群を構成する第 2 番目の第 2 のダミー線 DL_{22} は、第 2 ダミー線電流源 $DLC S_{22}$ に接続されている。

【0277】

第 1 ダミー線電流源 $DLC S_{11}$ には、MOS 型 FET から成る開閉回路 $SW_{DL-11-j}$ (ここで、 $j = 1, 2$) が備えられており、開閉回路 $SW_{DL-11-j}$ のオン・オフ動作によって、第 1 ダミー線電流源 $DLC S_{11}$ から、電流 $g(1) \cdot I_{RWL}$ 及び電流 $g(2) \cdot I_{RWL}$ の 2 つの電流の内のいずれか 1 つの電流を第 1 のダミー線群を構成する第 1 番目の第 1 のダミー線 DL_{11} に流すことができる。また、第 2 ダミー線電流源 $DLC S_{21}$ には、MOS 型 FET から成る開閉回路 $SW_{DL-21-j}$ (ここで、 $j = 1, 2$) が備えられており、開閉回路 $SW_{DL-21-j}$ のオン・オフ動作によって、第 2 ダミー線電流源 $DLC S_{21}$ から、電流 $g(1) \cdot I_{RWL}$ 及び電流 $g(2) \cdot I_{RWL}$ の 2 つの電流の内のいずれか 1 つの電流を第 2 のダミー線群を構成する第 1 番目の第 2 のダミー線 DL_{21} に流すことができる。

【0278】

更には、第 1 ダミー線電流源 $DLC S_{12}$ には、MOS 型 FET から成る開閉回路 $SW_{DL-12-2}$ が備えられており、開閉回路 $SW_{DL-12-2}$ のオン・オフ動作によって、第 1 ダミー線電流源 $DLC S_{12}$ から、電流 $g(2) \cdot I_{RWL}$ を第 1 のダミー線群を構成する第 2 番目の第 1 のダミー線 DL_{12} に流すことができる。また、第 2 ダミー線電流源 $DLC S_{22}$ には、MOS 型 FET から成る開閉回路 $SW_{DL-22-2}$ が備えられており、開閉回路 $SW_{DL-22-2}$ のオン・オフ動作によって、第 2 ダミー線電流源 $DLC S_{22}$ から、電流 $g(2) \cdot I_{RWL}$ を第 2 のダミー線群を構成する第 2 番目の第 2 のダミー線 DL_{22} に流すことができる。

【0279】

これらの点を除き、実施の形態 7 の不揮発性磁気メモリ装置の構成、構造、動作は、実施の形態 6 の不揮発性磁気メモリ装置の構成、構造、動作と同様とすることができるので、詳細な説明は省略する。尚、係数 $g(1)$ 、 $g(-1)$ 、 $g(2)$ 、 $g(-2)$ の値は、実施の形態 6 と同じ値とすればよい。

【0280】

実施の形態7の不揮発性磁気メモリ装置にあつては、トンネル磁気抵抗素子に記憶されたデータが破壊されることを防止するための補償磁界が、第1番目の書き込みワード線 RWL_1 、第2番目の書き込みワード線 RWL_2 、第 $(M-1)$ 番目の書き込みワード線 RWL_{M-1} あるいは第 M 番目の書き込みワード線 RWL_M を基準としたとき、対称となるので、不揮発性磁気メモリ装置へのデータ書き込み動作が一層安定する。

【0281】

(実施の形態8)

実施の形態8も、実施の形態6の変形である。実施の形態8の不揮発性磁気メモリ装置の等価回路図を図35に示し、実施の形態8の不揮発性磁気メモリ装置における第1電流源ユニット51及び第1のスイッチ回路51A、第2電流源ユニット52及び第2のスイッチ回路52A、第3電流源ユニット53及び第3のスイッチ回路53A、第4電流源ユニット54及び第4のスイッチ回路54A、並びに、第5電流源ユニット55及び第5のスイッチ回路55Aの等価回路図を図36に示す。

【0282】

実施の形態8にあつては、電流源は、 N 個の電流源ユニットから成る代わりに、第1電流源ユニット51、第2電流源ユニット52、第3電流源ユニット53、第4電流源ユニット54、及び、第5電流源ユニット55から成る。そして、主磁界生成電流 $g(0) \cdot I_{RWL}$ を書込みワード線 RWL_m に流す第1電流源ユニット51は、第1のスイッチ回路51A(MOS型FETから成る開閉回路 $SW_{MRWL-1} \sim SW_{MRWL-32}$ から構成されている)を介して M 本の書き込みワード線 RWL_m に接続されている。また、第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ を書込みワード線 RWL_m に流す第2電流源ユニット52及び第3電流源ユニット53は、それぞれ、第2のスイッチ回路52A(MOS型FETから成る開閉回路 $SW_{CRWL2-1} \sim SW_{CRWL2-32}$ から構成されている)、及び、第3のスイッチ回路53A(MOS型FETから成る開閉回路 $SW_{CRWL3-1} \sim SW_{CRWL3-32}$ から構成されている)を介して M 本の書き込みワード線 RWL_m に接続されている。更には、第2

補償磁界生成電流 $g(2) \cdot I_{RWL}$ を書込みワード線 RWL_m に流す第 4 電流源ユニット 54 及び第 5 電流源ユニット 55 は、それぞれ、第 4 のスイッチ回路 54A (MOS 型 FET から成る開閉回路 $SW_{CRWL4-1} \sim SW_{CRWL4-32}$ から構成されている)、及び、第 5 のスイッチ回路 55A (MOS 型 FET から成る開閉回路 $SW_{CRWL5-1} \sim SW_{CRWL5-32}$ から構成されている) を介して M 本の書込みワード線 RWL_m に接続されている。

【0283】

これらの点を除き、実施の形態 8 の不揮発性磁気メモリ装置の構成、構造は、実施の形態 6 の不揮発性磁気メモリ装置の構成、構造と同様とすることができるので、詳細な説明は省略する。実施の形態 8 にあつては、このような構成にすることで、電流源ユニットの数を減少させることができ、不揮発性磁気メモリ装置の構成の簡素化を図ることができる。

【0284】

[トンネル磁気抵抗素子 $TMJ_{(m,n)}$ へのデータの書込み]

第 m 番目の書込みワード線 RWL_m [但し、 $m=3, 4 \dots (M-2)$] と対向し、第 n 番目のビット線 BL_n に電氣的に接続されたトンネル磁気抵抗素子 $TMJ_{(m,n)}$ へデータを書き込む場合には、以下の動作を実行する。

【0285】

データ書込み直前においては、開閉回路 SW_{Bn-i} ($n=1, 2 \dots, N$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{Bn-i} をオン状態とし、第 n 番目のビット線 BL_n にビット線電流源 BS_n から電流 $I(n)_{BL}$ を流す。一方、第 1 電流源ユニット 51 においては、第 1 のスイッチ回路 51A を構成する MOS 型 FET から成る開閉回路 SW_{MRWL-m} が選択されオン状態となる。これによって、第 m 番目の書込みワード線 RWL_m には、主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れる。

【0286】

一方、第 2 電流源ユニット 52 においては、第 2 のスイッチ回路 52A を構成する開閉回路 $SW_{CRWL2-(m-1)}$ が選択されオン状態となり、第 3 電流源ユニット 53 においては、第 3 のスイッチ回路 53A を構成する開閉回路 $SW_{CRWL3-(m+1)}$

が選択されオン状態となる。これによって、第 $(m-1)$ 番目の書込みワード線 RWL_{m-1} 、及び、第 $(m+1)$ 番目の書込みワード線 RWL_{m+1} には、第 1 補償磁界生成電流 $g(1) \cdot I_{RWL}$ が流れる。更には、第 4 電流源ユニット 54 においては、第 4 のスイッチ回路 54A を構成する開閉回路 $SW_{CRWL4-(m-2)}$ が選択されオン状態となり、第 5 電流源ユニット 55 においては、第 5 のスイッチ回路 55A を構成する開閉回路 $SW_{CRWL5-(m+2)}$ が選択されオン状態となる。これによって、第 $(m-2)$ 番目の書込みワード線 RWL_{m-2} 、及び、第 $(m+2)$ 番目の書込みワード線 RWL_{m+2} には、第 2 補償磁界生成電流 $g(2) \cdot I_{RWL}$ が流れる。

【0287】

以上の結果として生成される合成磁界（第 m 番目の書込みワード線 RWL_m を流れる主磁界生成電流 $g(0) \cdot I_{RWL}$ によって生成される磁界、第 $(m-1)$ 番目及び第 $(m+1)$ 番目の書込みワード線 RWL_{m-1} 、 RWL_{m+1} を流れる第 1 補償磁界生成電流 $g(1) \cdot I_{RWL}$ によって生成される磁界、第 $(m-2)$ 番目及び第 $(m+2)$ 番目の書込みワード線 RWL_{m-2} 、 RWL_{m+2} を流れる第 2 補償磁界生成電流 $g(2) \cdot I_{RWL}$ によって生成される磁界、及び、第 n 番目のビット線 BL_n を流れる電流 $I(n)_{BL}$ によって生成される磁界の合成磁界）によって、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ における第 2 の強磁性体層（記録層）35 の磁化の方向が変えられ、第 2 の強磁性体層（記録層）35 に「1」又は「0」を記録することができる。一方、この合成磁界によっては、トンネル磁気抵抗素子 $TMJ_{(m-2,n)}$ 、 $TMJ_{(m-1,n)}$ 及びトンネル磁気抵抗素子 $TMJ_{(m+1,n)}$ 、 $TMJ_{(m+2,n)}$ の第 2 の強磁性体層（記録層）35 の磁化の方向は変化しない。

【0288】

[トンネル磁気抵抗素子 $TMJ_{(1,n)}$ 又は $TMJ_{(M,n)}$ へのデータの書込み]

第 P 番目の書込みワード線 RWL_P （但し、 $P=1$ 又は M ）に対向し、第 n 番目のビット線 BL_n に電氣的に接続されたトンネル磁気抵抗素子 $TMJ_{(P,n)}$ へデータを書き込む場合には、以下の動作を実行する。

【0289】

データ書込み直前においては、開閉回路 SW_{Bn-i} ($n=1, 2, \dots, N$) の

全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{Bn-i} をオン状態とし、第 n 番目のビット線 BL_n にビット線電流源 BS_n から電流 $I(n)_{BL}$ を流す。一方、第 1 電流源ユニット 51 においては、第 1 のスイッチ回路 51A を構成する MOS 型 FET から成る開閉回路 SW_{MRWL-P} が選択されオン状態となる。これによって、第 P 番目の書込みワード線 RWL_P には、主磁界生成電流 $g(0) \cdot I_{RWL}$ が流れる。

【0290】

一方、第 2 電流源ユニット 52 においては、第 2 のスイッチ回路 52A を構成する開閉回路 $SW_{CRWL2-(M-1)}$ が選択されオン状態となり、あるいは又、第 3 のスイッチ回路 53A を構成する開閉回路 $SW_{CRWL3-2}$ が選択されオン状態となる。これによって、第 2 番目の書込みワード線 RWL_2 、あるいは又、第 $(M-1)$ 番目の書込みワード線 RWL_{M-1} には、第 1 補償磁界生成電流 $g(1) \cdot I_{RWL}$ が流れる。更には、第 4 のスイッチ回路 54A を構成する開閉回路 $SW_{CRWL4-(M-2)}$ が選択されオン状態となり、あるいは又、第 5 のスイッチ回路 55A を構成する開閉回路 $SW_{CRWL5-3}$ が選択されオン状態となる。これによって、第 3 番目の書込みワード線 RWL_3 、あるいは又、第 $(M-2)$ 番目の書込みワード線 RWL_{M-2} には、第 2 補償磁界生成電流 $g(2) \cdot I_{RWL}$ が流れる。

【0291】

[トンネル磁気抵抗素子 $TMJ(2,n)$ 又は $TMJ(M-1,n)$ へのデータの書込み]

第 P 番目の書込みワード線 RWL_P [但し、 $P=2$ 又は $(M-1)$] に対向し、第 n 番目のビット線 BL_n に電氣的に接続されたトンネル磁気抵抗素子 $TMJ(P,n)$ へデータを書き込む場合には、以下の動作を実行する。

【0292】

データ書込み直前においては、開閉回路 SW_{Bn-i} ($n=1, 2, \dots, N$) の全てはオフ状態にある。データ書込みの開始にあたっては、開閉回路 SW_{Bn-i} をオン状態とし、第 n 番目のビット線 BL_n にビット線電流源 BS_n から電流 $I(n)_{BL}$ を流す。一方、第 1 電流源ユニット 51 においては、第 1 のスイッチ回路 51A を構成する開閉回路 SW_{MRWL-P} が選択されオン状態となる。

【0293】

そして、第2電流源ユニット52及び第3電流源ユニット53においては、開閉回路 $SW_{CRWL2-(P-1)}$ 及び開閉回路 $SW_{CRWL3-(P+1)}$ が選択されオン状態となる。これによって、第1番目の書込みワード線 RWL_1 及び第3番目の書込みワード線 RWL_3 、あるいは又、第 $(M-2)$ 番目の書込みワード線 RWL_{M-2} 及び第 M 番目の書込みワード線 RWL_M には、第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ が流れる。更には、第4電流源ユニット54又は第5電流源ユニット55においては、第4のスイッチ回路54Aを構成する開閉回路 $SW_{CRWL4-(P-2)}$ 、又は、第5のスイッチ回路55Aを構成する開閉回路 SW_{RWL5-4} が選択されオン状態となる。これによって、第4番目の書込みワード線 RWL_4 、あるいは又、第 $(M-3)$ 番目の書込みワード線 RWL_{M-3} には、第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ が流れる。

【0294】

実施の形態8の不揮発性磁気メモリ装置においても、トンネル磁気抵抗素子 $TMJ_{(m,n)}$ にデータを書き込む場合、第1電流源ユニット51から主磁界生成電流 $g(0) \cdot I_{RWL}$ が書込みワード線 RWL_m に流され、第4電流源ユニット54、第2電流源ユニット52、第3電流源ユニット53及び第5電流源ユニット55から補償磁界生成電流 $g(2) \cdot I_{RWL}$ 、 $g(1) \cdot I_{RWL}$ 、 $g(1) \cdot I_{RWL}$ 、 $g(2) \cdot I_{RWL}$ が書込みワード線 RWL_{m-2} 、 RWL_{m-1} 、 RWL_{m+1} 及び RWL_{m+2} に流される結果、書込みワード線 RWL_{m-2} 、 RWL_{m-1} 、 RWL_{m+1} 及び RWL_{m+2} に対向するトンネル磁気抵抗素子 $TMJ_{(m-2,n)}$ 、 $TMJ_{(m-1,n)}$ 、 $TMJ_{(m+1,n)}$ 及び $TMJ_{(m+2,n)}$ に記憶されたデータが破壊されることを確実に防止することができる。

【0295】

(実施の形態9)

実施の形態9は、実施の形態8の変形である。実施の形態9の不揮発性磁気メモリ装置の等価回路図を図37に示す。

【0296】

実施の形態8にて説明した不揮発性磁気メモリ装置にあつては、例えば、第1番目の書込みワード線 RWL_1 あるいは第 M 番目の書込みワード線 RWL_M を流れ

る電流によって主磁界 [電流 $g(0) \cdot I_{RWL}$ あるいは電流 $g(0) \cdot I(M)_{RWL}$ によって生成する磁界] が生成され、第 2 番目及び第 3 番目の書込みワード線 RWL_2 , RWL_3 、あるいは、第 $(M-2)$ 番目及び第 $(M-1)$ 番目の書込みワード線 $RWL_{(M-2)}$, $RWL_{(M-1)}$ を流れる電流によって補償磁界 [電流 $g(1) \cdot I(1)_{RWL}$, 電流 $g(2) \cdot I(1)_{RWL}$ あるいは電流 $g(-2) \cdot I(M)_{BL}$, $g(-1) \cdot I(M)_{BL}$ によって生成する磁界] が生成されるが、係る補償磁界は、例えば、第 1 番目の書込みワード線 RWL_1 あるいは第 M 番目の書込みワード線 RWL_M を基準としたとき、非対称となる。

【0297】

それ故、実施の形態 9 の不揮発性磁気メモリ装置にあっては、実施の形態 7 と同様に、 k のとる値の最大値の絶対値を k_0 (実施の形態 7 にあっては、 $k_0=2$) としたとき、

第 1 番目の書込みワード線 RWL_1 の外側には、第 1 番目の書込みワード線 RWL_1 と平行に k_0 本の第 1 のダミー線群 (第 1 のダミー線 DL_{11} , DL_{12}) が設けられ、

第 M 番目の書込みワード線 RWL_M の外側には、第 M 番目の書込みワード線 RWL_M と平行に k_0 本の第 2 のダミー線群 (第 2 のダミー線 DL_{21} , DL_{22}) が設けられ、

第 1 のダミー線群を構成する第 $[(1-m) + |k|]$ 番目の第 1 のダミー線あるいは第 2 のダミー線群を構成する第 $[m-M + |k|]$ 番目の第 2 のダミー線に、電流 $g(k) \cdot I_{RWL}$ が流される。

【0298】

具体的には、実施の形態 7 と同様に、第 1 番目の書込みワード線 RWL_1 に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流すとき、第 1 のダミー線群を構成する第 $[(1-m) + |k|]$ 番目 ($m=1$, $k=-1$ であり、第 1 番目) の第 1 のダミー線 DL_{11} に、第 1 補償磁界生成電流 $g(-1) \cdot I_{RWL}$ を流し、第 1 のダミー線群を構成する第 $[(1-m) + |k|]$ 番目 ($m=1$, $k=-2$ であり、第 2 番目) の第 1 のダミー線 DL_{12} に、第 2 補償磁界生成電流 $g(-2) \cdot I_{RWL}$ を流す。また、第 2 番目の書込みワード線 RWL_2 に主磁界生成電流 $g(0) \cdot I_{RWL}$

を流すとき、第1のダミー線群を構成する第 $[(1-m) + |k|]$ 番目 ($m=2$, $k=-2$ であり、第1番目) の第1のダミー線 DL_{11} に、第2補償磁界生成電流 $g(-2) \cdot I_{RWL}$ を流す。

【0299】

一方、第M番目の書込みワード線 RWL_M に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流すとき、第2のダミー線群を構成する第 $[m-M + |k|]$ 番目 ($m=M$, $k=1$ であり、第1番目) の第2のダミー線 DL_{21} に、第1補償磁界生成電流 $g(1) \cdot I_{RWL}$ を流し、第2のダミー線群を構成する第 $[m-M + |k|]$ 番目 ($m=M$, $k=2$ であり、第2番目) の第2のダミー線 DL_{22} に、第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。また、第 $(M-1)$ 番目の書込みワード線 RWL_{M-1} に主磁界生成電流 $g(0) \cdot I_{RWL}$ を流すとき、第2のダミー線群を構成する第 $[m-M + |k|]$ 番目 ($m=M-1$, $k=2$ であり、第1番目) の第2のダミー線 DL_{21} に、第2補償磁界生成電流 $g(2) \cdot I_{RWL}$ を流す。

【0300】

第1のダミー線群を構成する第1番目の第1のダミー線 DL_{11} は、図示しない開閉回路を介して第3電流源ユニット53に接続され、更には、図示しない開閉回路を介して第5電流源ユニット55に接続されている。また、第2のダミー線群を構成する第1番目の第2のダミー線 DL_{21} は、図示しない開閉回路を介して第2電流源ユニット52に接続され、更には、図示しない開閉回路を介して第4電流源ユニット54に接続されている。一方、第1のダミー線群を構成する第2番目の第1のダミー線 DL_{12} は、図示しない開閉回路を介して第5電流源ユニット55に接続されている。また、第2のダミー線群を構成する第2番目の第2のダミー線 DL_{22} は、図示しない開閉回路を介して第4電流源ユニット54に接続されている。

【0301】

これらの点を除き、実施の形態9の不揮発性磁気メモリ装置の構成、構造、動作は、実施の形態8の不揮発性磁気メモリ装置の構成、構造、動作と同様とすることができるので、詳細な説明は省略する。また、ダミー線の動作は、実施の形態7にて説明した動作と実質的に同様とすることができるので、詳細な説明は省

略する。

【0302】

(実施の形態10)

実施の形態10は、本発明の第1の態様に係る不揮発性磁気メモリ装置（より具体的には、TMRタイプのMRAMを具備した不揮発性磁気メモリ装置）におけるトンネル磁気抵抗素子へのデータ書込方法に関する。

【0303】

実施の形態10における不揮発性磁気メモリ装置は、実施の形態7にて説明した構成、構造を有する。各書込みワード線 RWL_m には、実施の形態7と同様に、電流源ユニット RCS_m が備えられているが、電流 $g(0) \cdot I_{RWL}$ 、電流 $g(1) \cdot I_{RWL}$ 、並びに、電流 $g(2) \cdot I_{RWL}$ を加算する回路（図示せず）が、電流源ユニット RCS_m と書込みワード線 RWL_m との間に配設されている。また、第1ダミー線電流源 $DLCS_{11}$ と第1番目の第1のダミー線 DL_{11} との間、及び、第2ダミー線電流源 $DLCS_{21}$ と第1番目の第2のダミー線 DL_{21} との間にも、同様に、電流を加算する回路（図示せず）が配設されている。

【0304】

実施の形態10にあつては、第 n 番目のビット線に電流 $I(n)_{BL}$ を流し、且つ、第1番目から第 M 番目の書込みワード線のそれぞれに、同時に、以下の電流値 $i(m)_{RWL}$ を流す。尚、 k_0 は、 k のとり値の最大値の絶対値であり、式(2)における k には0を含む。

【0305】

$$i(m)_{RWL} = \sum_{k=-k_0}^{k_0} g(k) \cdot I(m-k)_{RWL} \quad (2)$$

【0306】

具体的には、第1番目から第 M 番目の書込みワード線のそれぞれに、同時に、以下の表12に示す電流値 $i(m)_{RWL}$ を流す。尚、表12においては、ダミー線 DL_{12} 、 DL_{11} 、第1番目～第6番目の書込みワード線 $RWL_1 \sim RWL_6$ までに流す電流の全て、及び、第7番目～第10番目の書込みワード線 $RWL_7 \sim R$

WL₁₀までに流す電流の一部を示し、第 1 1 番目～第 3 2 番目の書込みワード線 RWL₁₁～RWL₃₂まで、及び、ダミー線 DL₂₁, DL₂₂に流す電流を示すことは省略している。

【 0 3 0 7 】

[表 1 2]

表 12

タミー線 DL_{12}	$g(-2) \cdot I(1)$										
タミー線 DL_{11}	$g(-1) \cdot I(1) +$	$g(-2) \cdot I(2)$									
込みワード線 RWL_1	$g(0) \cdot I(1) +$	$g(-1) \cdot I(2) +$	$g(-2) \cdot I(3)$								
込みワード線 RWL_2	$g(1) \cdot I(1) +$	$g(0) \cdot I(2) +$	$g(-1) \cdot I(3) +$	$g(-2) \cdot I(4)$							
込みワード線 RWL_3	$g(2) \cdot I(1) +$	$g(1) \cdot I(2) +$	$g(0) \cdot I(3) +$	$g(-1) \cdot I(4) +$	$g(-2) \cdot I(5)$						
書込みワード線 RWL_4		$g(2) \cdot I(2) +$	$g(1) \cdot I(3) +$	$g(0) \cdot I(4) +$	$g(-1) \cdot I(5) +$	$g(-2) \cdot I(6)$					
込みワード線 RWL_5			$g(2) \cdot I(3) +$	$g(1) \cdot I(4) +$	$g(0) \cdot I(5) +$	$g(-1) \cdot I(6) +$	$g(-2) \cdot I(7)$				
書込みワード線 RWL_6				$g(2) \cdot I(4) +$	$g(1) \cdot I(5) +$	$g(0) \cdot I(6) +$	$g(-1) \cdot I(7) +$	$g(-2) \cdot I(8)$			
込みワード線 RWL_7					$g(2) \cdot I(5) +$	$g(1) \cdot I(6) +$	$g(0) \cdot I(7) +$	$g(-1) \cdot I(8) +$			
書込みワード線 RWL_8						$g(2) \cdot I(6) +$	$g(1) \cdot I(7) +$	$g(0) \cdot I(8) +$			
書込みワード線 RWL_9							$g(2) \cdot I(7) +$	$g(1) \cdot I(8) +$			
込みワード線 RWL_{10}								$g(2) \cdot I(8) +$			

【0308】

実施の形態10の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込みにあつては、先ず、開閉回路 SW_{B1-i} をオン状態とし、第1番目のビット線 BL_1 にビット線電流源 BS_1 から電流 $I(1)_{BL}$ を流す。そして、第1番目～第32番目の書込みワード線 $RWL_1 \sim RWL_{32}$ のそれぞれに同時に、例えば表12に示した電流を流す。そして、この操作を、第2番目のビット線 BL_2 から第N番目のビット線 BL_N まで、順次、繰り返す。

【0309】

実施の形態10の不揮発性磁気メモリ装置におけるトンネル磁気抵抗素子へのデータ書込みにあつては、隣接するトンネル磁気抵抗素子にデータが誤って書き込まれることを確実に防止することができる。ここで説明した構成の不揮発性磁気メモリ装置においては、ワード線は一方向にしか電流を流さないのので、ビット線に流れる電流によって決まる方向に同じデータが多重に書き込まれるだけである。従つて、実施の形態10では、実施の形態5の場合と異なり、トンネル磁気抵抗素子ひとつずつに所望のデータを書き込むことはできず、消去、または多重書き込みなどに用途が限定される。尚、実施の形態5において説明したと同様に、ダミー線を設けることは必須ではない。

【0310】

以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した不揮発性磁気メモリ装置、電流源、ダミー線電流源の構成、構造等、トンネル磁気抵抗素子の各層を構成する材料等は例示であり、適宜変更することができる。

【0311】

実施の形態においては、タップ・ゲインとみなされた係数 $g(0)$ 及び $g(k)$ を、全てのビット線、あるいは、全ての書込みワード線において同じ値としたが、タップ・ゲインとみなされた係数 $g(0)$ 及び $g(k)$ を、各ビット線、あるいは、各書込みワード線において異なる値としてもよい。

【0312】

また、例えば、電流源ユニット $RC S_m$ においては、電流源ユニット $BC S_n$ と

同様に、電流 $g(0) \cdot I_{RWL}$, $g(1) \cdot I_{RWL}$, $g(2) \cdot I_{RWL}$ だけでなく、電流 $-g(0) \cdot I_{RWL}$, $-g(1) \cdot I_{RWL}$, $-g(2) \cdot I_{RWL}$ を流す構成としてもよい。この場合、電流源ユニット $RC S_m$ の回路構成は、実質的に、電流源ユニット $BC S_n$ の回路構成と略同様とすればよい。

【0313】

トンネル磁気抵抗素子 TMJ に記憶されたデータの読み出しのために、トンネル磁気抵抗素子 TMJ と同じ構造、構成を有する参照トンネル磁気抵抗素子を第1番目のビット線及び／又は第N番目のビット線と平行に、第1番目のビット線及び／又は第N番目のビット線の外側に設けてもよい。このような構成とすれば、参照トンネル磁気抵抗素子を構成するビット線にて、ダミー線を代用することができる。

【0314】

また、不揮発性磁気メモリ装置を、

- (1) 実施の形態1の不揮発性磁気メモリ装置と実施の形態6の不揮発性磁気メモリ装置の組合せ、
- (2) 実施の形態1の不揮発性磁気メモリ装置と実施の形態7の不揮発性磁気メモリ装置の組合せ、
- (3) 実施の形態1の不揮発性磁気メモリ装置と実施の形態8の不揮発性磁気メモリ装置の組合せ、
- (4) 実施の形態1の不揮発性磁気メモリ装置と実施の形態9の不揮発性磁気メモリ装置の組合せ、
- (5) 実施の形態2の不揮発性磁気メモリ装置と実施の形態6の不揮発性磁気メモリ装置の組合せ、
- (6) 実施の形態2の不揮発性磁気メモリ装置と実施の形態7の不揮発性磁気メモリ装置の組合せ、
- (7) 実施の形態2の不揮発性磁気メモリ装置と実施の形態8の不揮発性磁気メモリ装置の組合せ、
- (8) 実施の形態2の不揮発性磁気メモリ装置と実施の形態9の不揮発性磁気メモリ装置の組合せ、

(9) 実施の形態3の不揮発性磁気メモリ装置と実施の形態6の不揮発性磁気メモリ装置の組合せ、

(10) 実施の形態3の不揮発性磁気メモリ装置と実施の形態7の不揮発性磁気メモリ装置の組合せ、

(11) 実施の形態3の不揮発性磁気メモリ装置と実施の形態8の不揮発性磁気メモリ装置の組合せ、

(12) 実施の形態3の不揮発性磁気メモリ装置と実施の形態9の不揮発性磁気メモリ装置の組合せ、

(13) 実施の形態4の不揮発性磁気メモリ装置と実施の形態6の不揮発性磁気メモリ装置の組合せ、

(14) 実施の形態4の不揮発性磁気メモリ装置と実施の形態7の不揮発性磁気メモリ装置の組合せ、

(15) 実施の形態4の不揮発性磁気メモリ装置と実施の形態8の不揮発性磁気メモリ装置の組合せ、

(16) 実施の形態4の不揮発性磁気メモリ装置と実施の形態9の不揮発性磁気メモリ装置の組合せ、

から構成することもできる。

【0315】

尚、各実施の形態においては、説明の都合上、ビット線及び書込みワード線に対して、いずれも係数 $g(0)$ 及び $g(k)$ を用いたが、一般に $\beta = (h/d)$ の値はビット線と書込みワード線とで異なっている。従って、上記のような組合せの場合には、ビット線に対する係数として $g_{BL}(0)$ 及び $g_{BL}(k)$ 、書込みワード線に対する係数として $g_{RWL}(0)$ 及び $g_{RWL}(k)$ というように、異なった係数の値を用いることになる。

【0316】

更には、書込みワード線を共通として、本発明の不揮発性磁気メモリ装置を、複数、並置することもできる。

【0317】

補償電流を流す線は必ずしもビット線または書込みワード線に限定するもので

はなく、トンネル磁気抵抗素子とトンネル磁気抵抗素子との間に磁界制御のための専用線を設けて、これらの専用線とビット線、あるいは又、これらの専用線と書込みワード線とによって、空間的なF I Rフィルターを構成してもよい。

【 0 3 1 8 】

更には、米国特許第 5 9 4 0 3 1 9 号に開示されたM R A Mと同様に、トンネル磁気抵抗素子の上方及び／又は下方に位置する配線（ビット線や書込みワード線）のトンネル磁気抵抗素子に面していない部分が、磁束集中させる材料（例えば、コバルト－鉄合金、ニッケル－鉄合金、アモルファス磁性体材料等の軟磁性材料あるいは高透磁性材料）で覆われている構造を採用し、第 2 の強磁性体層（記録層） 3 5 に対する磁束集中効果を高めることもできる。

【 0 3 1 9 】

【発明の効果】

本発明の不揮発性磁気メモリ装置にあつては、電流 $I(n)_{BL}$ によって第 n 番目のビット線及び K 本のビット線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲイン（フィルター係数あるいはタップ係数とも呼ばれる）とみなした空間的なF I Rフィルターが、第 n 番目のビット線及び K 本のビット線によって構成されており、あるいは又、電流 $I(m)_{RWL}$ によって第 m 番目の書込みワード線及び K 本の書込みワード線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的なF I Rフィルターが、第 m 番目の書込みワード線及び K 本の書込みワード線によって構成されている。そして、これらの係数 $g(0)$ 及び $g(k)$ は、F I Rフィルターにおけるタップ・ゲインの算出方法に基づき比較的容易に得ることができる。そして、係数 $g(0)$ 及び $g(k)$ を規定することで、隣接するトンネル磁気抵抗素子にデータが誤って書き込まれることを確実に防止することができ、その結果、隣接するトンネル磁気抵抗素子に同時にデータを確実に書き込むことが可能となるし、データを書き込むべきトンネル磁気抵抗素子が所謂半選択状態となることを確実に防止することができる。

【 0 3 2 0 】

そして、不揮発性磁気メモリ装置の製造上のばらつきや温度による変動等によって各トンネル磁気抵抗素子における第2の強磁性体層（記録層）の磁化方向の反転閾値が変化する場合であっても、隣接するトンネル磁気抵抗素子におけるデータ破壊の発生を確実に防止することができ、トンネル磁気抵抗素子の良好なる動作領域を確保することができる。その結果、同じ製造プロセスに基づく場合には、不揮発性磁気メモリ装置の信頼性が向上して、歩留が向上し、コストダウンを図ることができる。

【0321】

また、これまで以上にトンネル磁気抵抗素子の微細化が可能となり、記憶容量の大きな不揮発性磁気メモリ装置の実現が可能となる。

【0322】

本発明の不揮発性磁気メモリ装置にあっては、磁界の干渉を抑圧する代償として消費電力が増加するが、必要な正常動作領域が確保できる程度の磁界制御とすることで、消費電力の増加を抑制することができる。

【図面の簡単な説明】

【図1】

図1は、5本の書込導線（ビット線あるいは書込みワード線）を空間的なFIRフィルターとみなしたとき、ナイキストの第1基準に近づくように各書込導線に流れる電流を調整して得られた第0番目の書込導線に流される電流 $g(0) \cdot I$ によって形成される磁界、及び、第k番目の書込導線のそれぞれに流される電流 $g(k) \cdot I$ によって形成される磁界、及び、これらの磁界の合成磁界を示す図である。

【図2】

図2は、5本の書込導線（ビット線あるいは書込みワード線）を空間的なFIRフィルターとみなしたとき、ナイキストの第1基準に近づくように各書込導線に流れる電流を調整した結果を示す図である。

【図3】

図3の（A）及び（B）は、それぞれ、3本及び7本の書込導線を空間的なFIRフィルターとみなしたとき、ナイキストの第1基準に近づくように各書込導

線に流れる電流を調整して得られた第 0 番目の書込導線に流される電流 $g(0) \cdot I$ によって形成される磁界、及び、第 k 番目の書込導線のそれぞれに流される電流 $g(k) \cdot I$ によって形成される磁界の合成磁界を示す図である。

【図 4】

図 4 は、トンネル磁気抵抗素子の書込導線が空間的な FIR フィルターを構成することを説明するための図である。

【図 5】

図 5 は、発明の実施の形態 1 の不揮発性磁気メモリ装置の模式的な一部断面図である。

【図 6】

図 6 は、発明の実施の形態 1 の不揮発性磁気メモリ装置の等価回路図である。

【図 7】

図 7 は、1 つの TMR タイプのトンネル磁気抵抗素子の等価回路図である。

【図 8】

図 8 は、発明の実施の形態 2 の不揮発性磁気メモリ装置の等価回路図である。

【図 9】

図 9 の (A) 及び (B) は、それぞれ、第 1 ダミー線電流源 $DLCS_{11}$, $DLCS_{12}$ の等価回路図である。

【図 10】

図 10 の (A) 及び (B) は、それぞれ、第 2 ダミー線電流源 $DLCS_{21}$, $DLCS_{22}$ の等価回路図である。

【図 11】

図 11 は、発明の実施の形態 3 の不揮発性磁気メモリ装置の等価回路図である。

【図 12】

図 12 は、発明の実施の形態 3 の不揮発性磁気メモリ装置における第 1 電流源ユニット及び第 1 のスイッチ回路の等価回路図である。

【図 13】

図 13 は、発明の実施の形態 3 の不揮発性磁気メモリ装置における第 2 電流源

ユニット及び第2のスイッチ回路の等価回路図である。

【図14】

図14は、発明の実施の形態3の不揮発性磁気メモリ装置における第3電流源ユニット及び第3のスイッチ回路の等価回路図である。

【図15】

図15は、発明の実施の形態3の不揮発性磁気メモリ装置における第4電流源ユニット及び第4のスイッチ回路の等価回路図である。

【図16】

図16は、発明の実施の形態3の不揮発性磁気メモリ装置における第5電流源ユニット及び第5のスイッチ回路の等価回路図である。

【図17】

図17は、発明の実施の形態4の不揮発性磁気メモリ装置の等価回路図である。

【図18】

図18の(A)は、発明の実施の形態5の不揮発性磁気メモリ装置において、各ビット線 BL_n における加算前の係数(タップ・ゲイン) $g(0)$ 及び $g(k)$ の値を模式的に示す図であり、図18の(B)は、加算後の係数(タップ・ゲイン) $g(0)$ 及び $g(k)$ の値を模式的に示す図である。

【図19】

図19は、発明の実施の形態5の不揮発性磁気メモリ装置において、各ビット線 BL_n に流す規格化された電流値 $i(n)_{BL}$ を示す図である。

【図20】

図20は、式(7)、並びに、表8の「s」及び $i(s)$ のそれぞれに基づき得られたX軸方向の規格化された磁界を重ね合わせたグラフである。

【図21】

図21の(A)は、表7に示した規格化された電流値 $I(n)_{BL}$ をグラフ化したものであり、図21の(B)は、表7に示した規格化された電流値 $I(n)_{BL}$ を各ビット線 BL_n に流したときの、図20と同様のX軸方向の規格化された磁界を重ね合わせたグラフである。

【図 2 2】

図 2 2 は、ダミー線を設けず、式 (7)、並びに、表 8 の「t」及び $i(t)$ のそれぞれに基づき得られた X 軸方向の規格化された磁界を重ね合わせたグラフである。

【図 2 3】

図 2 3 は、式 (7)、並びに、表 9 の「s」及び $i(s)$ のそれぞれに基づき得られた X 軸方向の規格化された磁界を重ね合わせたグラフである。

【図 2 4】

図 2 3 は、ダミー線を設けず、式 (7)、並びに、表 9 の「t」及び $i(t)$ のそれぞれに基づき得られた X 軸方向の規格化された磁界を重ね合わせたグラフである。

【図 2 5】

図 2 5 は、式 (7)、並びに、表 10 の「s」及び $i(s)$ のそれぞれに基づき得られた X 軸方向の規格化された磁界を重ね合わせたグラフである。

【図 2 6】

図 2 6 は、ダミー線を設けず、式 (7)、並びに、表 10 の「t」及び $i(t)$ のそれぞれに基づき得られた X 軸方向の規格化された磁界を重ね合わせたグラフである。

【図 2 7】

図 2 7 の (A) 及び (B) は、 $\beta = (h/d) = 1.0$ の場合のアイ・パターンを示す図であり、図 2 7 の (A) は等化前の図であり、図 2 7 の (B) は 3 タップで等化後の図である。

【図 2 8】

図 2 8 の (A) 及び (B) は、 $\beta = (h/d) = 1.0$ の場合のアイ・パターンを示す図であり、図 2 8 の (A) は 5 タップで等化後の図であり、図 2 8 の (B) は 7 タップで等化後の図である。

【図 2 9】

図 2 9 の (A) 及び (B) は、 $\beta = (h/d) = 0.5$ の場合のアイ・パターンを示す図であり、図 2 9 の (A) は等化前の図であり、図 2 9 の (B) は 3 タ

ップで等化後の図である。

【図 3 0】

図 3 0 は、 $\beta = (h/d) = 1.0$ の場合のアイ・パターンを示す図であり、等化前の図である。

【図 3 1】

図 3 1 は、 $\beta = (h/d) = 1.0$ の場合のアイ・パターンを示す図であり、ダミー線有りの場合の 3 タップで等化後の図である。

【図 3 2】

図 3 2 は、 $\beta = (h/d) = 1.0$ の場合のアイ・パターンを示す図であり、ダミー線無しの場合の 3 タップで等化後の図である。

【図 3 3】

図 3 3 は、発明の実施の形態 6 の不揮発性磁気メモリ装置の等価回路図である。

【図 3 4】

図 3 4 は、発明の実施の形態 7 の不揮発性磁気メモリ装置の等価回路図である。

【図 3 5】

図 3 5 は、発明の実施の形態 8 の不揮発性磁気メモリ装置の等価回路図である。

【図 3 6】

図 3 6 は、発明の実施の形態 8 の不揮発性磁気メモリ装置における第 1 電流源ユニット及び第 1 のスイッチ回路、第 2 電流源ユニット及び第 2 のスイッチ回路、第 3 電流源ユニット及び第 3 のスイッチ回路、第 4 電流源ユニット及び第 4 のスイッチ回路、並びに、第 5 電流源ユニット及び第 5 のスイッチ回路の等価回路図である。

【図 3 7】

図 3 7 は、発明の実施の形態 9 の不揮発性磁気メモリ装置の等価回路図である。

【図 3 8】

図 38 は、不揮発性磁気メモリ装置における MRAM のアステロイド曲線を模式的に示す図である。

【図 39】

図 39 は、無限長の長さの 3 本の導線が距離 d だけ離れて平行に並んでいるときに生成する磁界を求めるためのモデル図である。

【図 40】

図 40 は、図 39 に示したモデル図に基づき計算により求めた磁界 $H_N(x, H)$ の値を示すグラフである。

【図 41】

図 41 は、時間領域の FIR フィルターを用いたデジタル伝送系の構成例を示す図である。

【図 42】

図 42 は、時間領域の FIR フィルターの構成例を示す図である。

【図 43】

図 43 の (A) は単位パルスを示す図であり、図 43 の (B) は、図 43 の (A) に示す単位パルスをデジタル伝送系に通した場合に得られるパルス応答を示す図である。

【図 44】

図 44 は、図 43 の (A) に示す単位パルスをデジタル伝送系に通し、しかも、ナイキストの第 1 基準に近づくように等化された場合に得られるパルス応答を示す図である。

【図 45】

図 45 の (A) は、図 41 に示したデジタル伝送系において、「0, 0, -1, +1, -1, -1, +1, +1, -1, +1, 0, 0」というデータを送信したときの送信データを示す図であり、図 45 の (B) は、かかる送信データの等化前の受信信号 $x(\alpha)$ を示す図である。

【図 46】

図 46 は、図 45 の (B) に示した等化前の受信信号 $x(\alpha)$ を FIR フィルターを通して得られた等化後の受信信号 $y(\alpha)$ を示す図である。

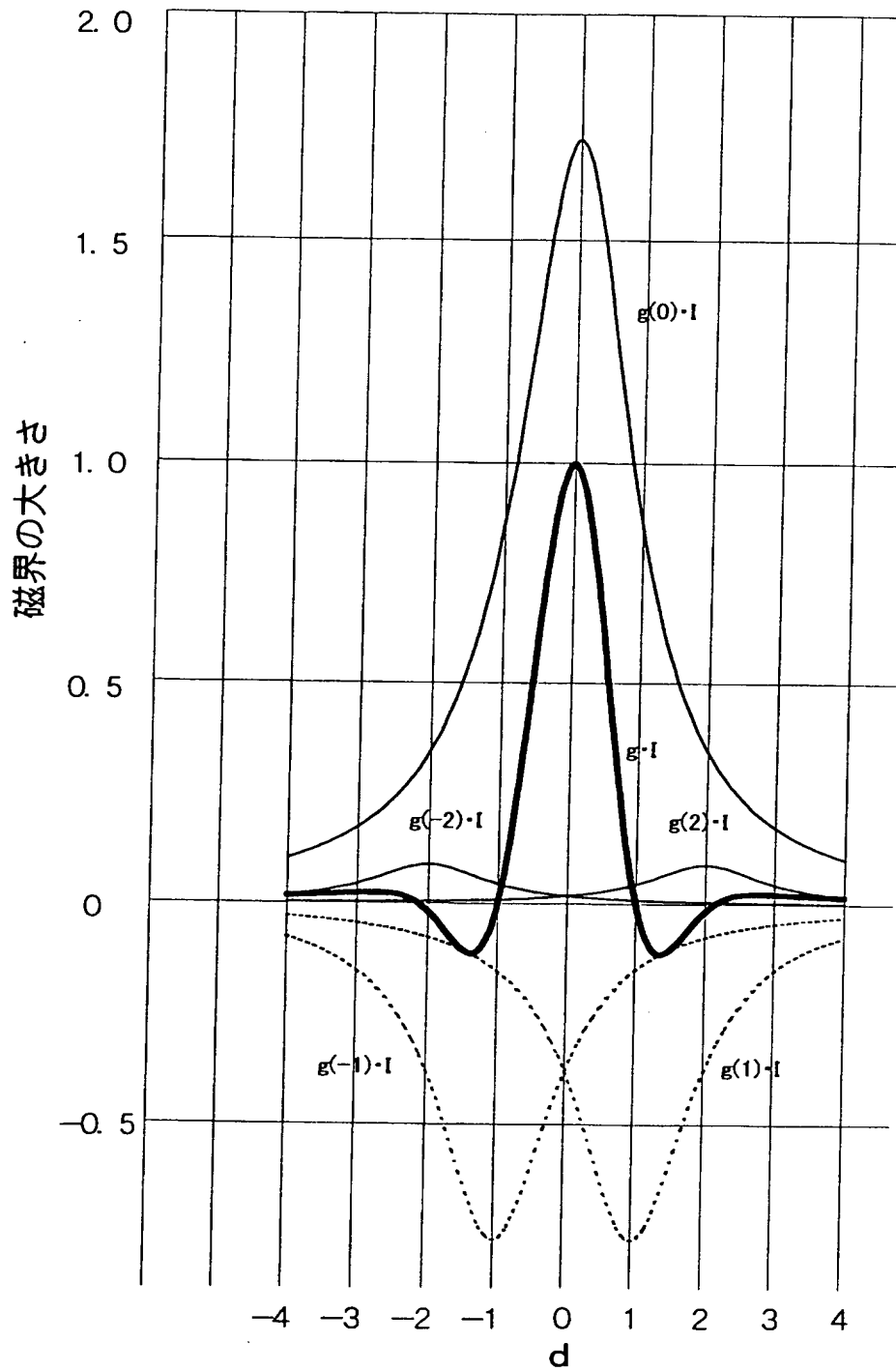
【符号の説明】

TMJ・・・トンネル磁気抵抗素子、TR・・・選択用トランジスタ、BL・・・ビット線、RWL・・・書込みワード線、DL・・・ダミー線、BCS・・・電流源ユニット、RCS・・・電流源ユニット、BS・・・ビット線電流源、RS・・・書込みワード線電流源、DLCS・・・ダミー線電流源、10・・・半導体基板、11・・・素子分離領域、12・・・ゲート電極、13・・・ゲート絶縁膜、14A、14B・・・ソース／ドレイン領域、15・・・コンタクトホール、16・・・センス線、21・・・第1の層間絶縁層、22、25・・・接続孔、23・・・ランディングパッド、24・・・第2の層間絶縁層、26・・・第3の層間絶縁層、31・・・第1の強磁性体層、32・・・反強磁性体層、33・・・磁化固定層、34・・・トンネル絶縁膜、35・・・第2の強磁性体層、36・・・トップコート膜、41、51・・・第1電流源ユニット、41A、51A・・・第1のスイッチ回路、42、52・・・第2電流源ユニット、42A、52A・・・第2のスイッチ回路、43、53・・・第3電流源ユニット、43A、53A・・・第3のスイッチ回路、44、54・・・第4電流源ユニット、44A、54A・・・第4のスイッチ回路、45、55・・・第5電流源ユニット、45A、55A・・・第5のスイッチ回路

【書類名】 図面

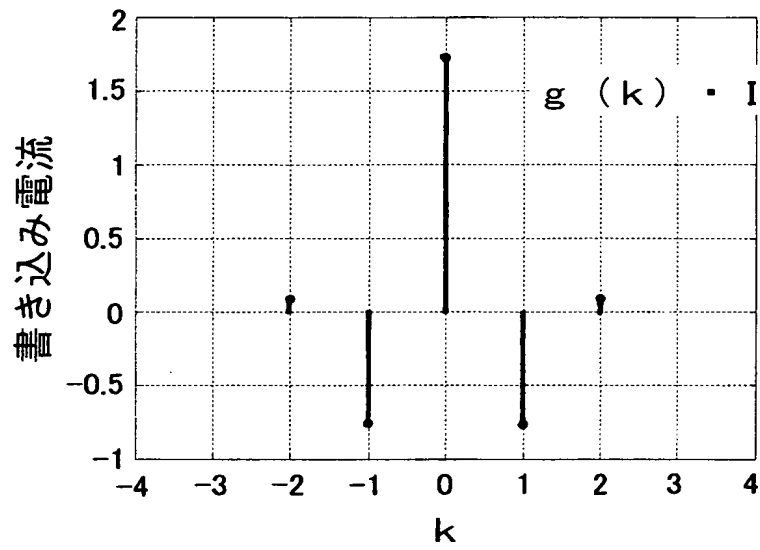
【図 1】

【図 1】



【図 2】

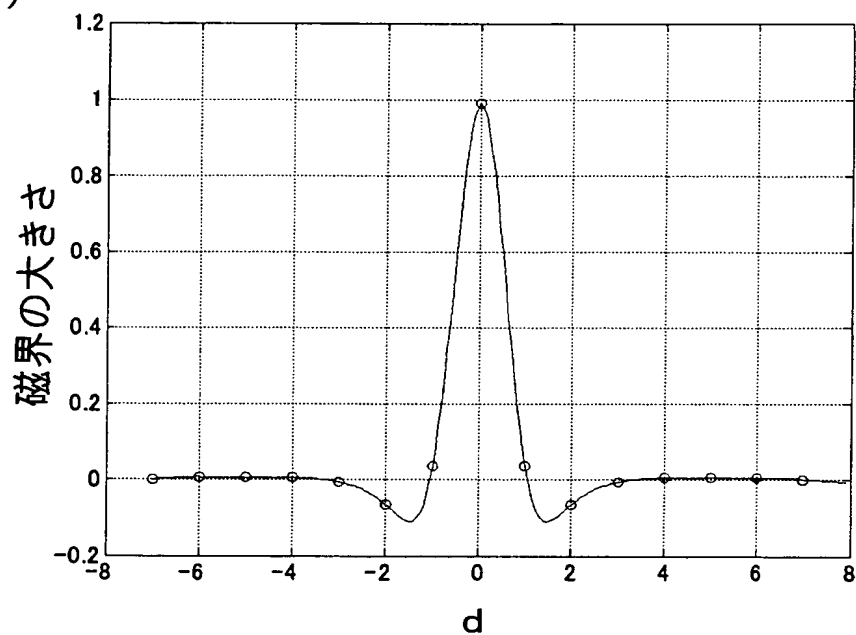
【図 2】



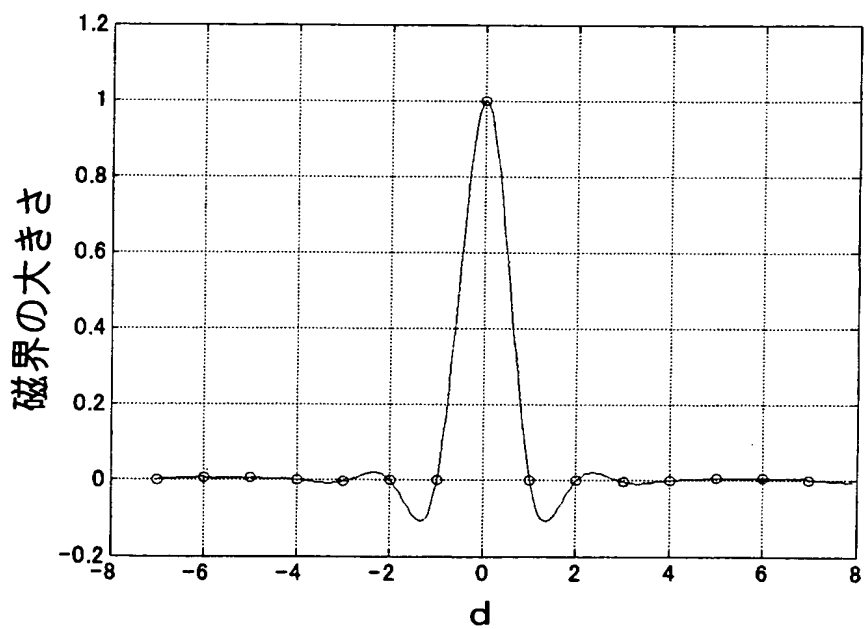
【図 3】

【図 3】

(A)

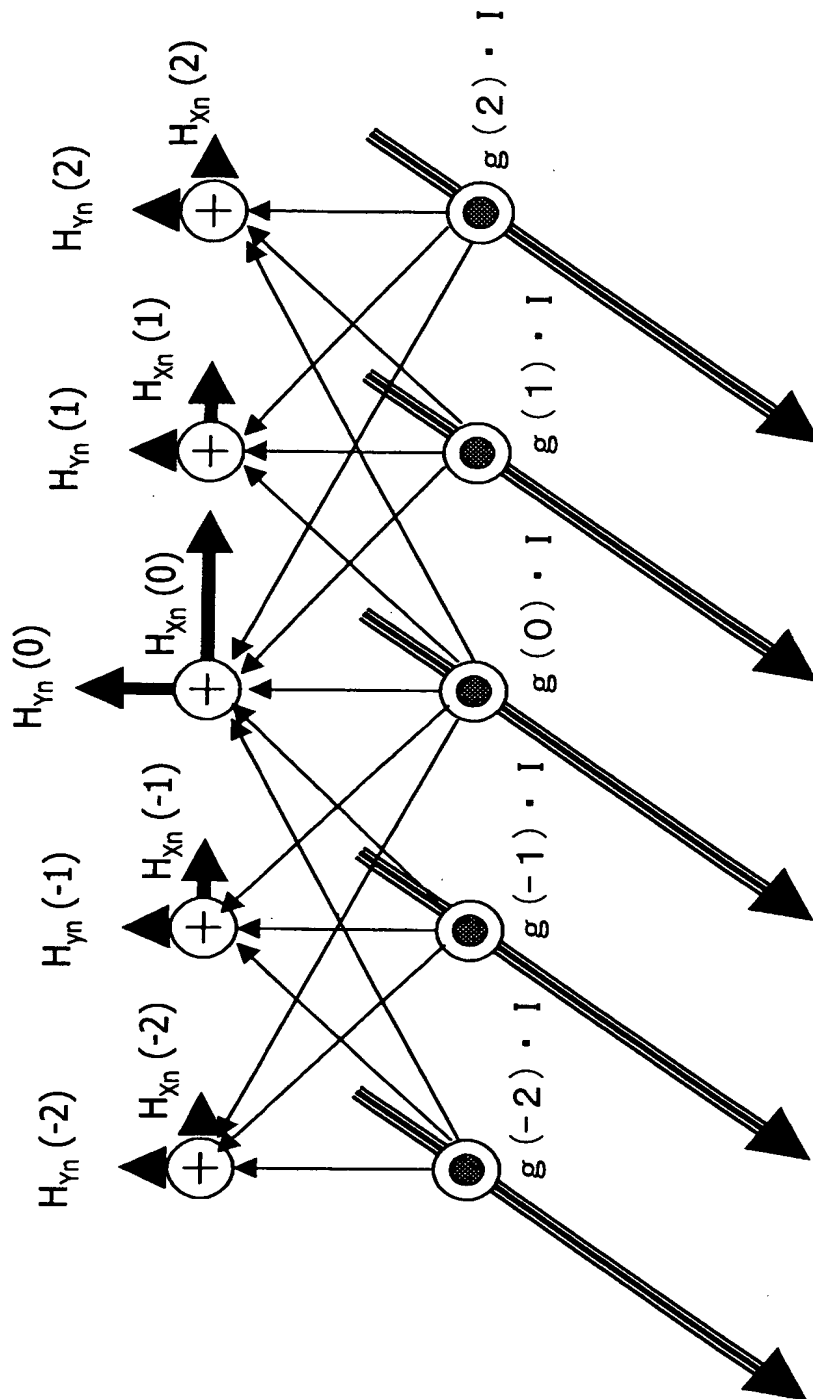


(B)



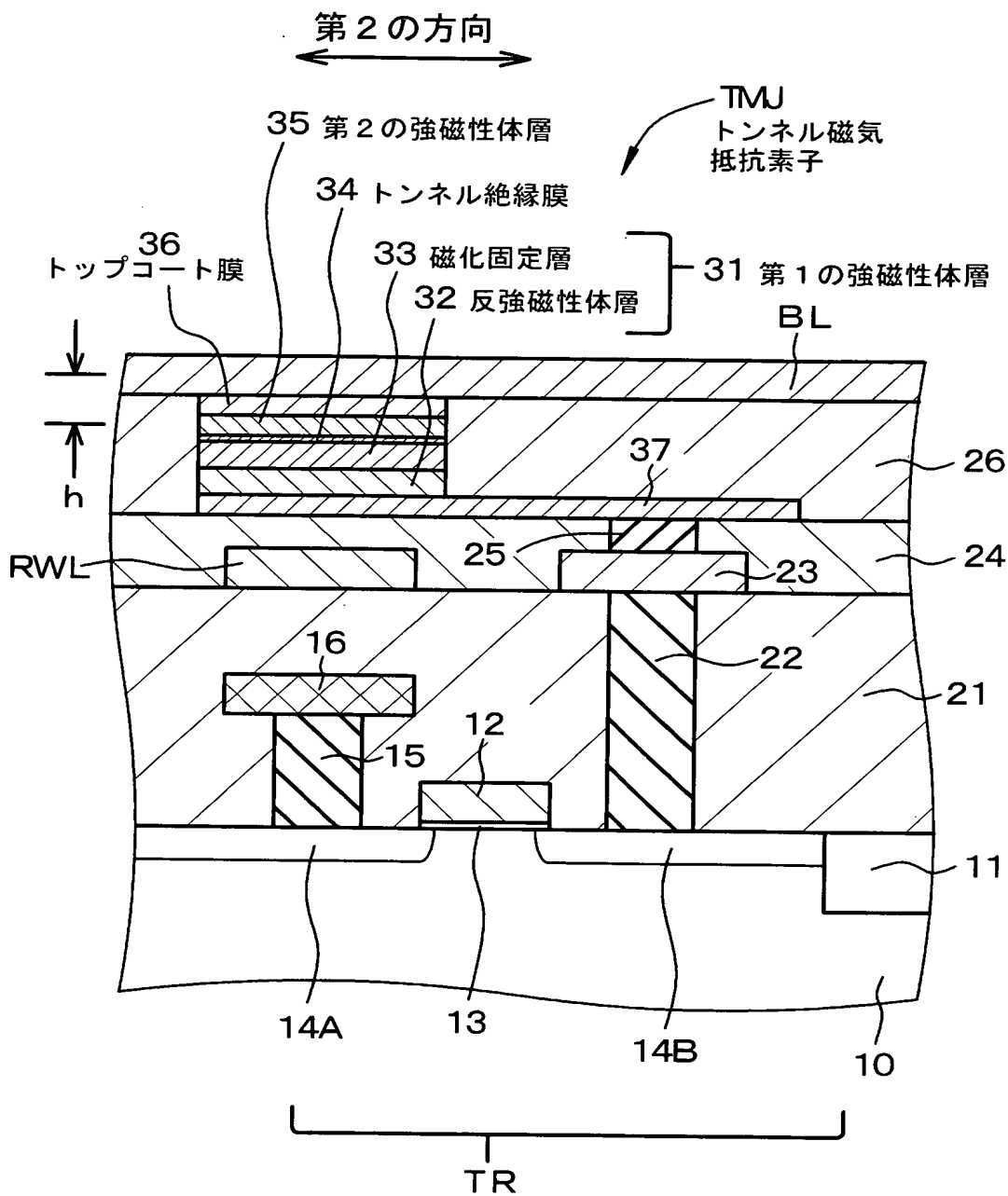
【図 4】

【図 4】

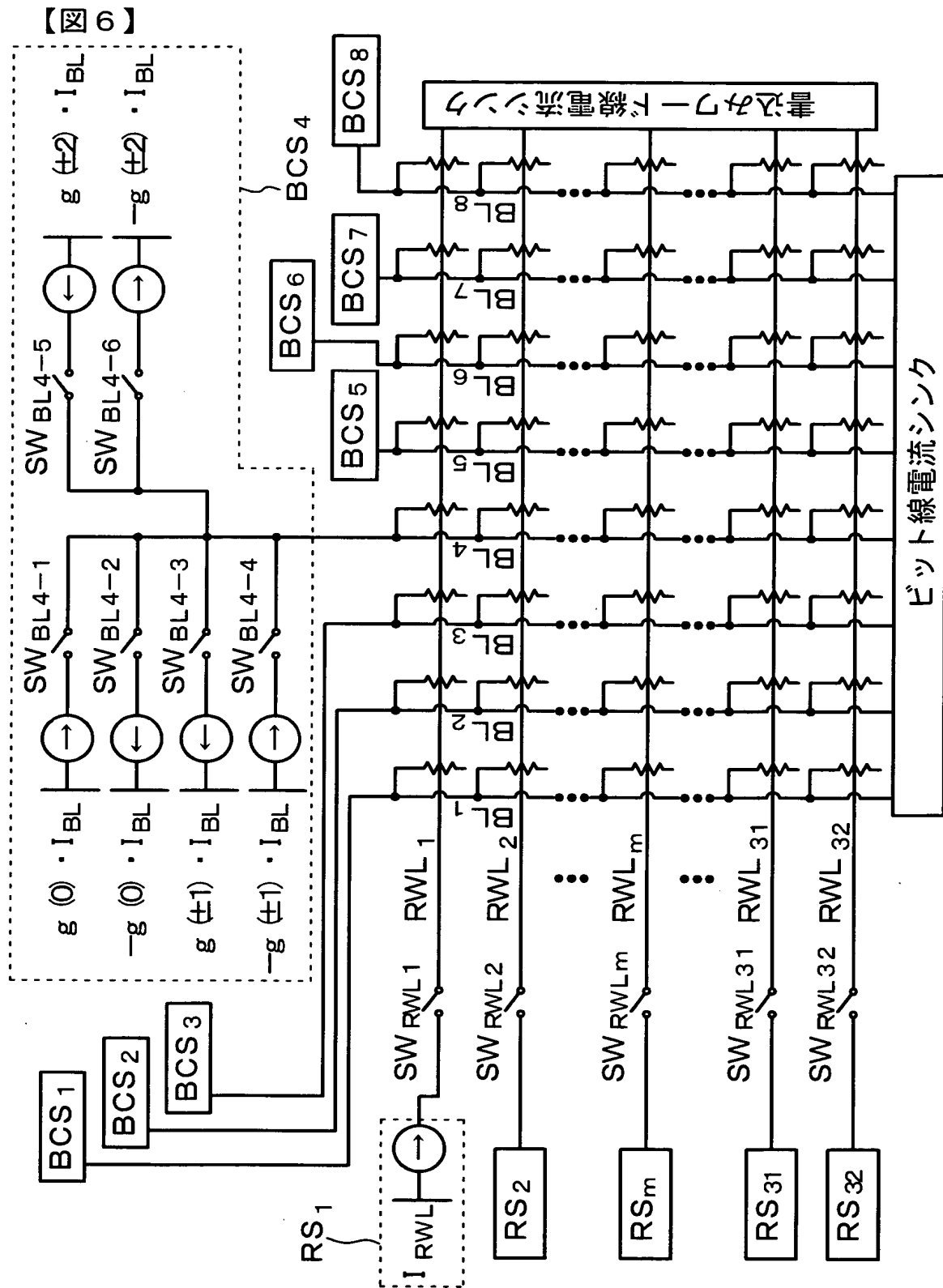


【図 5】

【図 5】

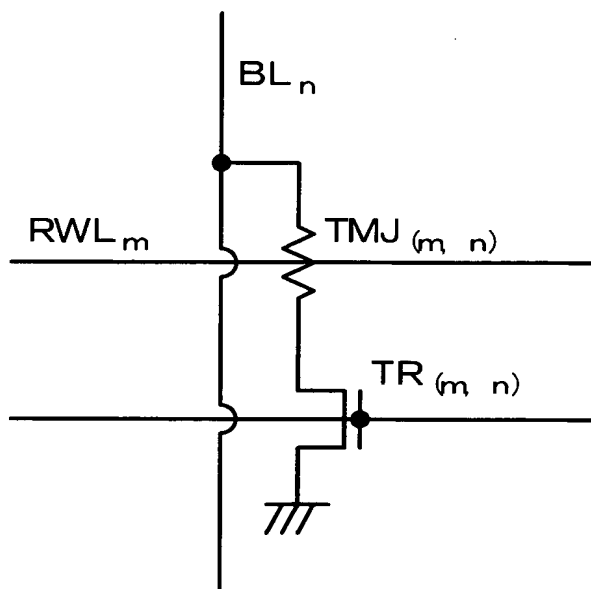


【図 6】

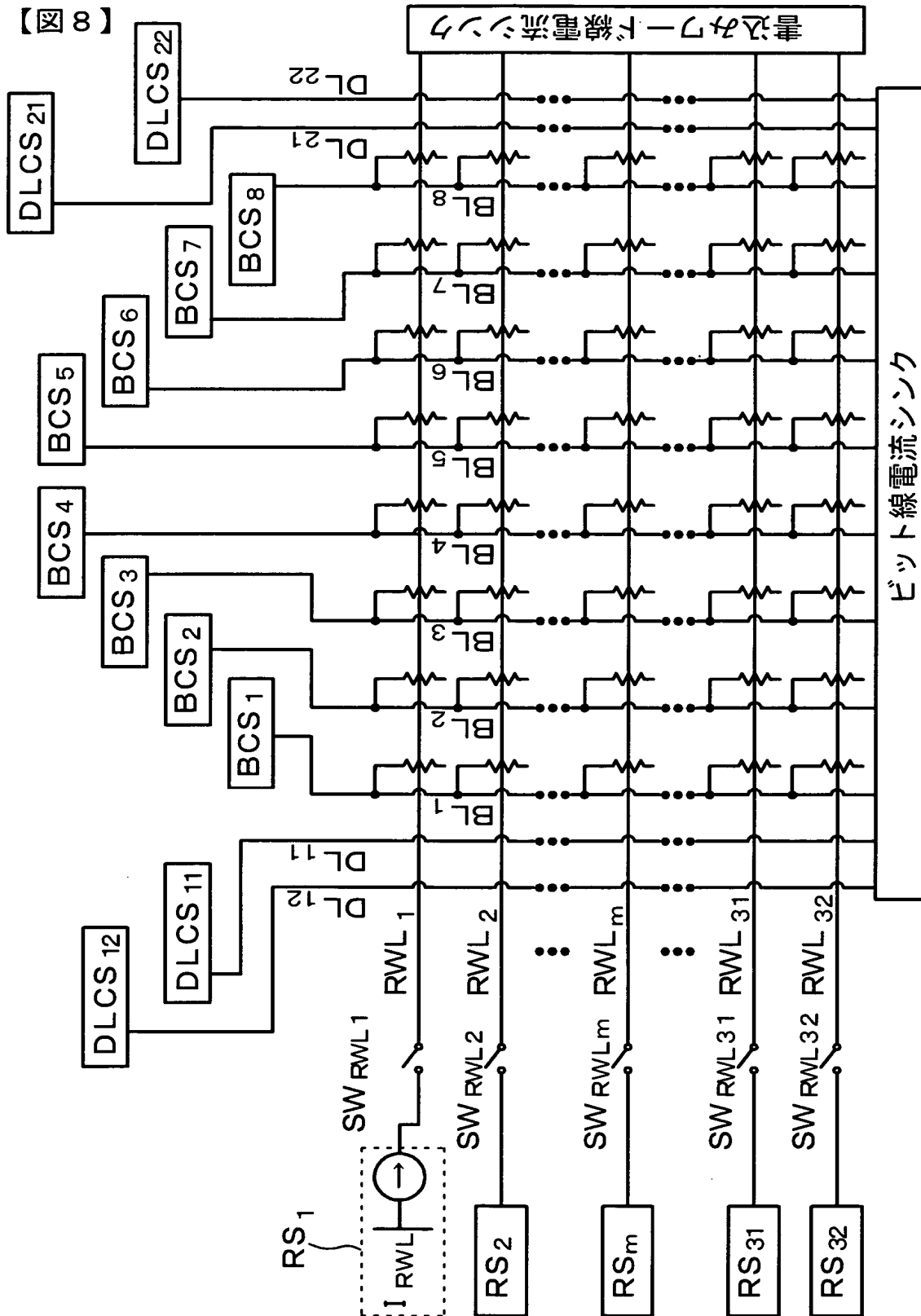


【図 7】

【図 7】



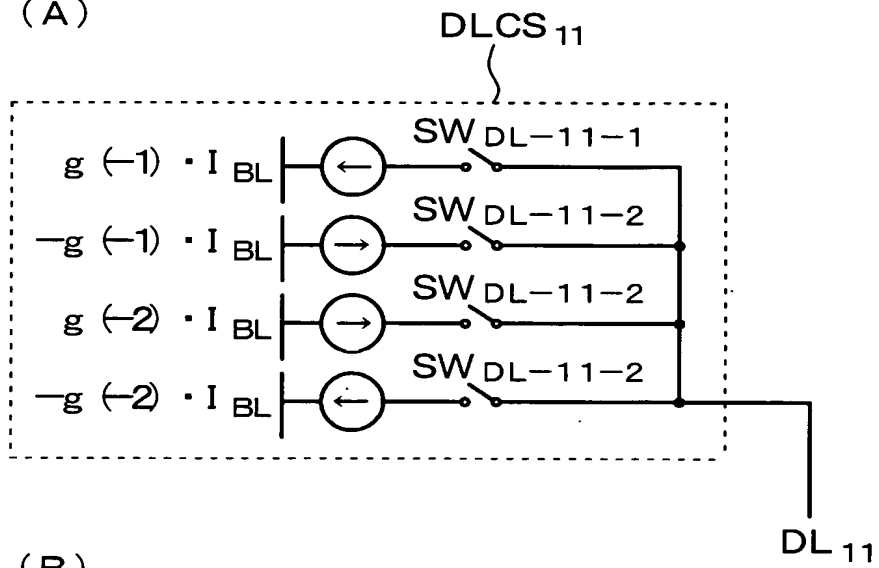
【図 8】



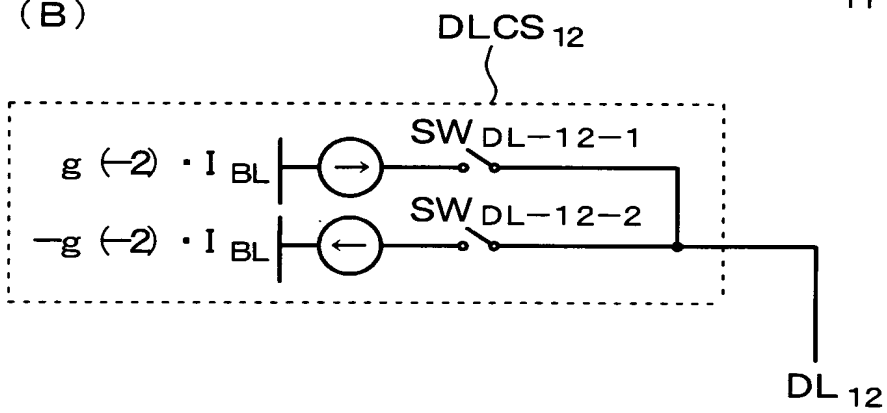
【図 9】

【図 9】

(A)



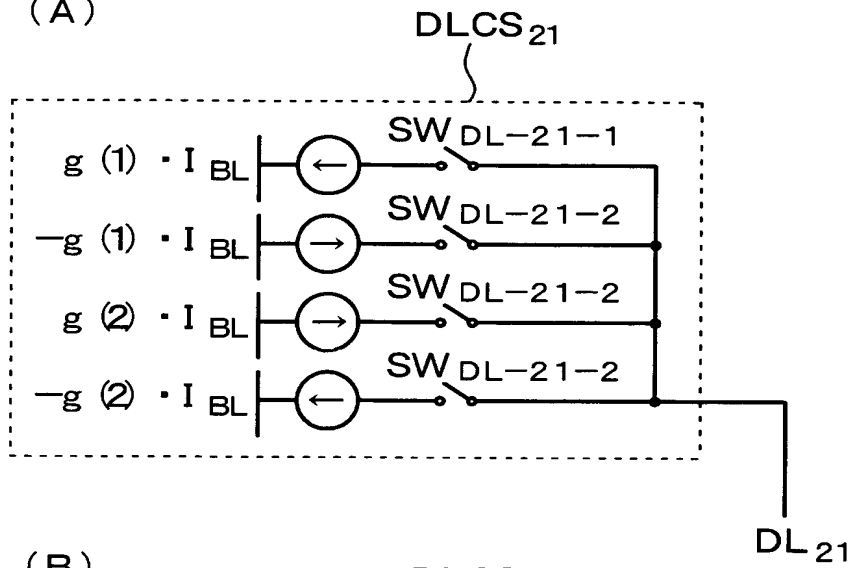
(B)



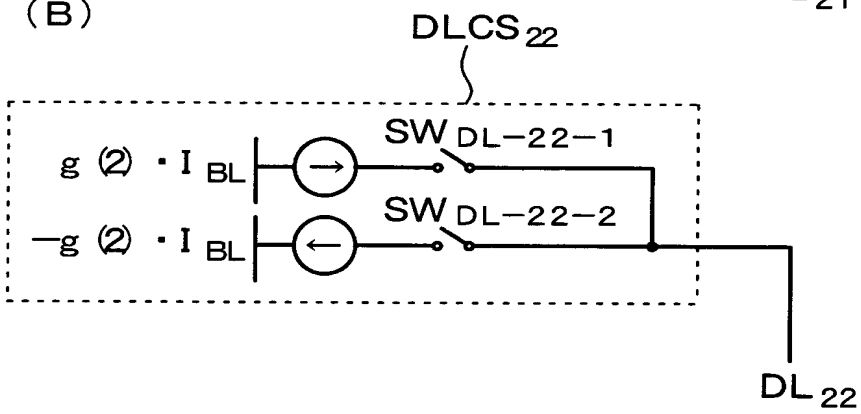
【図 10】

【図 10】

(A)

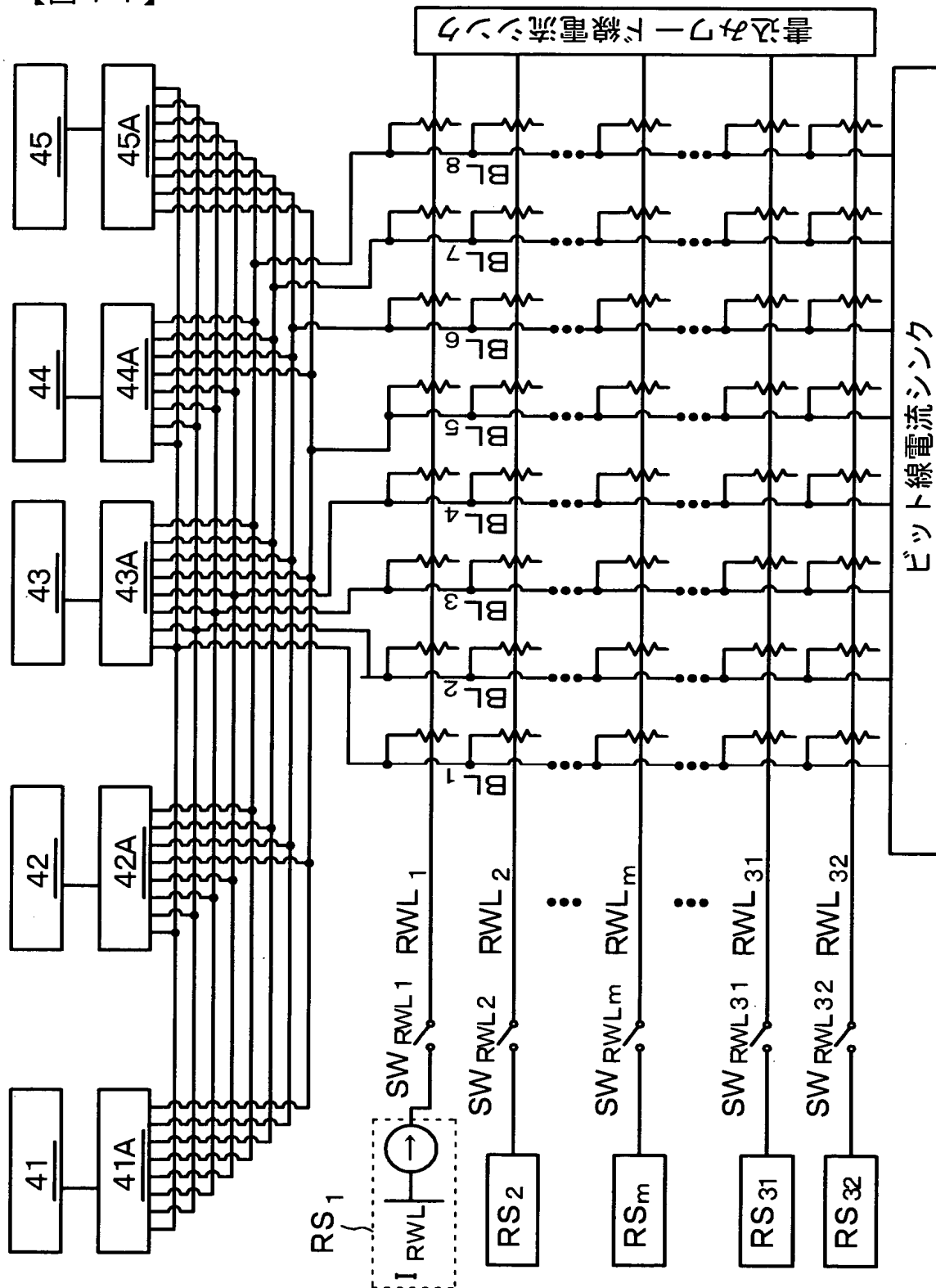


(B)



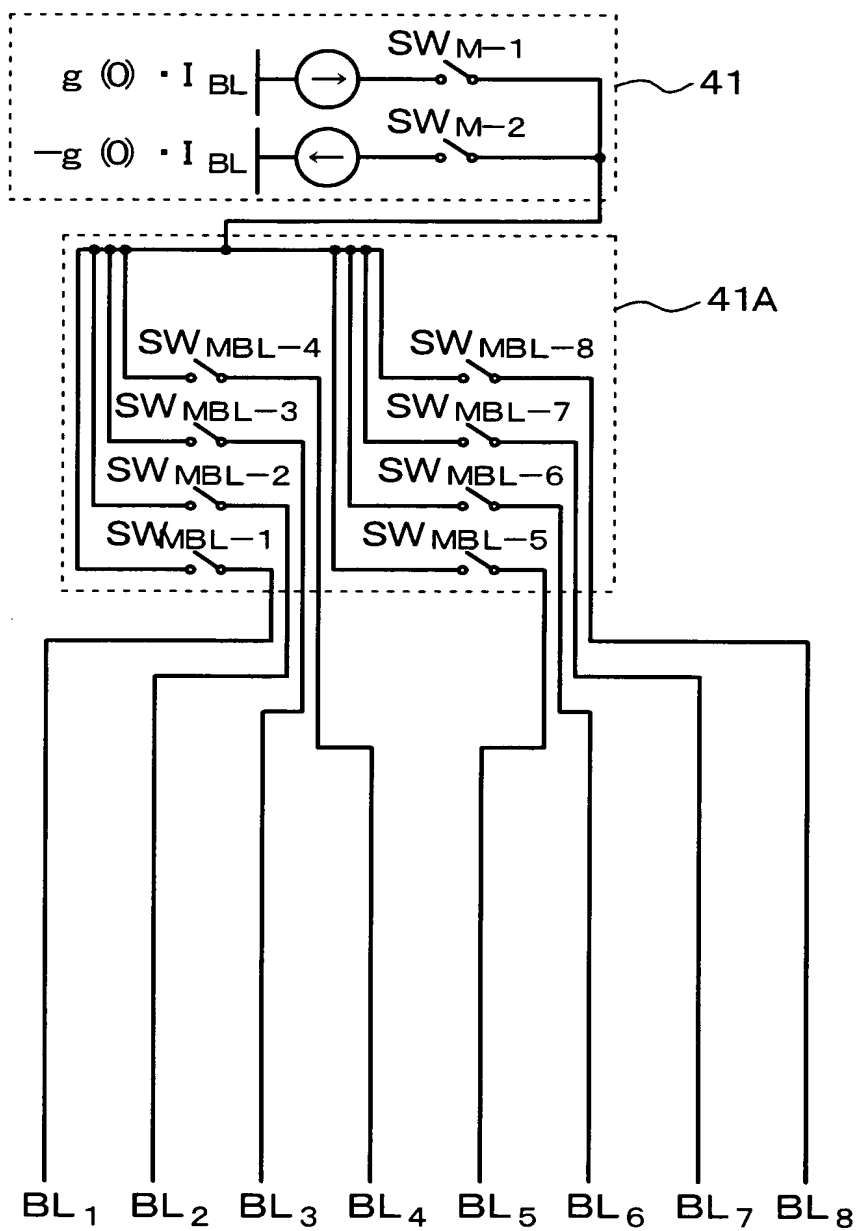
【図 11】

【図 11】



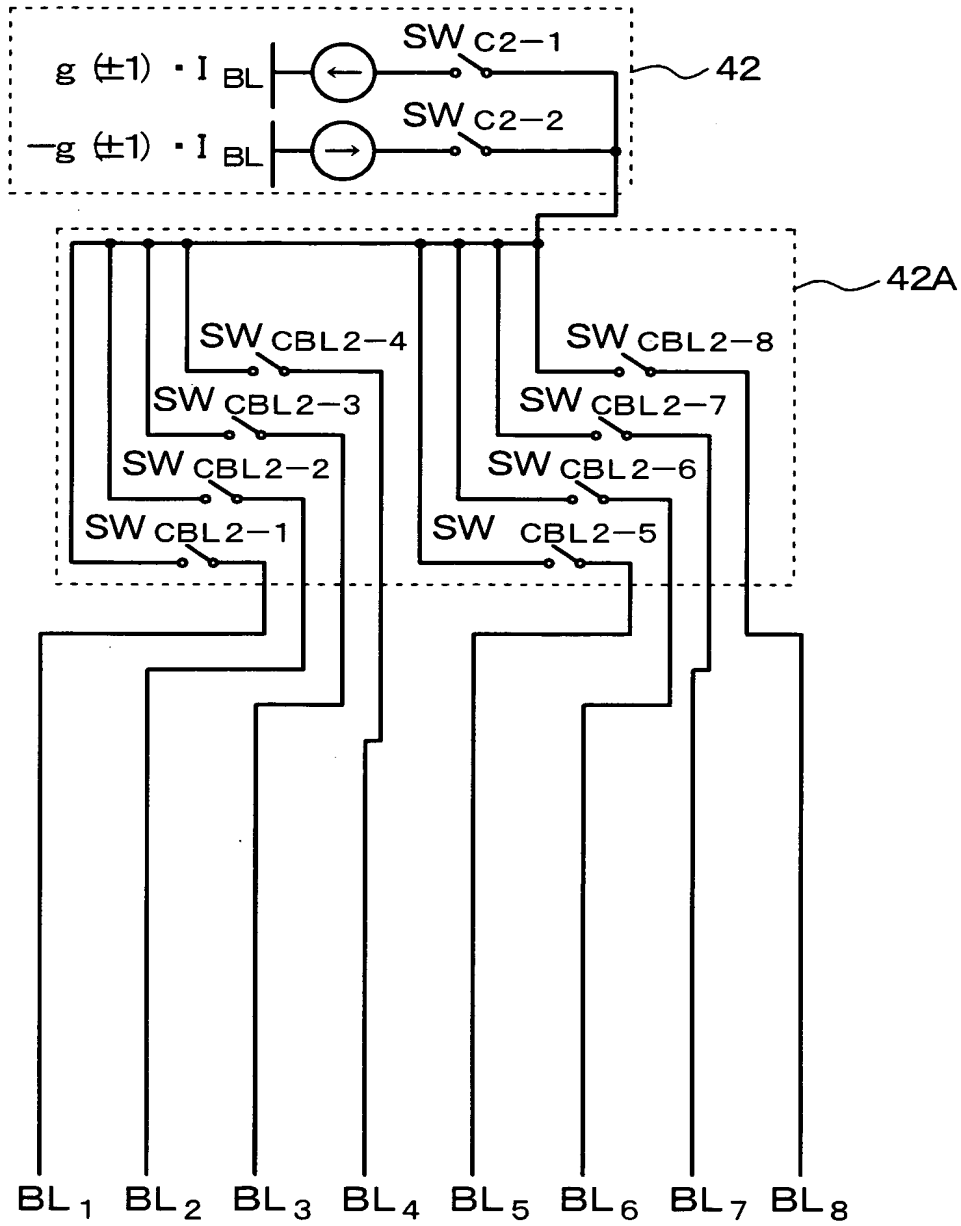
【図 12】

【図 12】



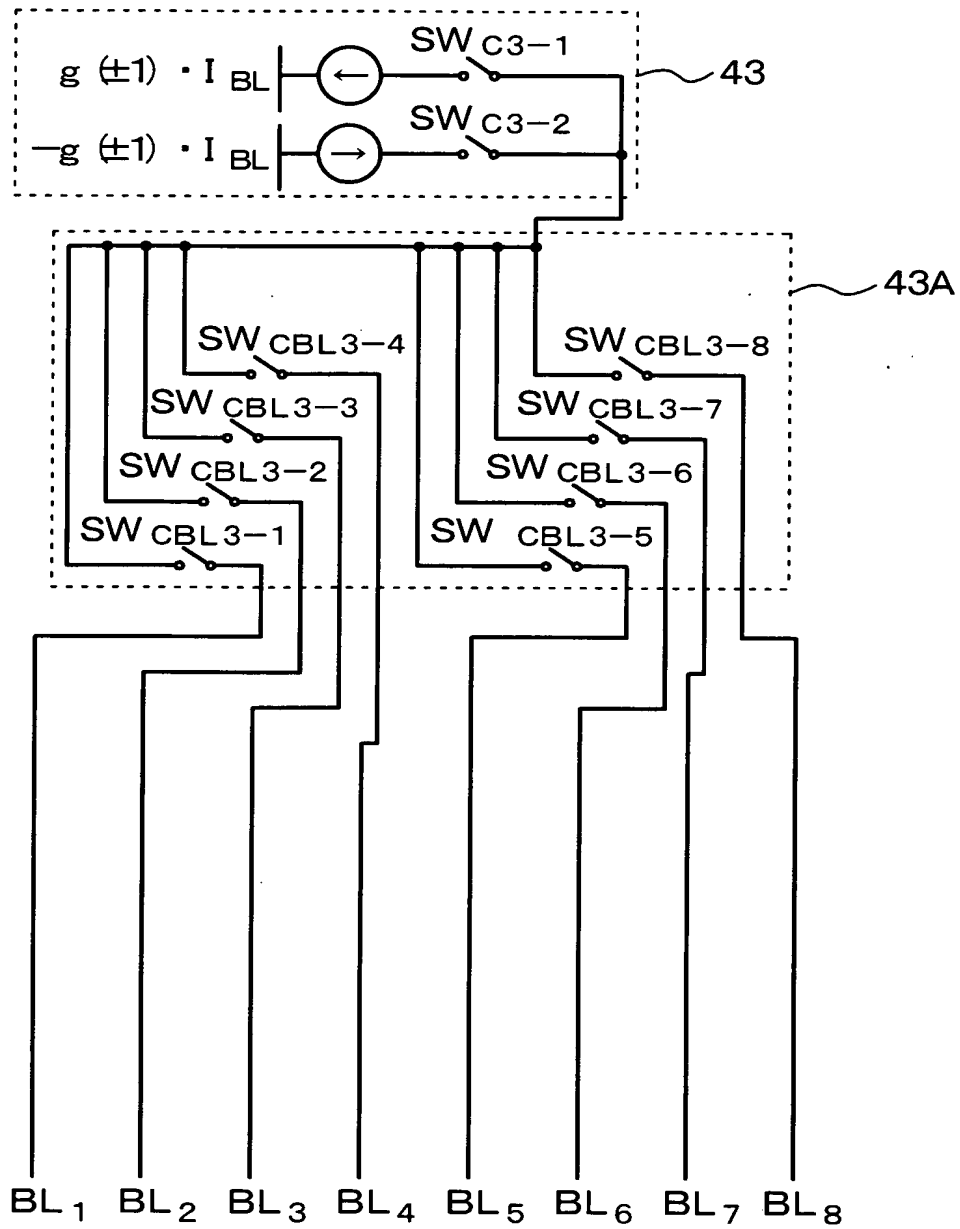
【図 13】

【図 13】



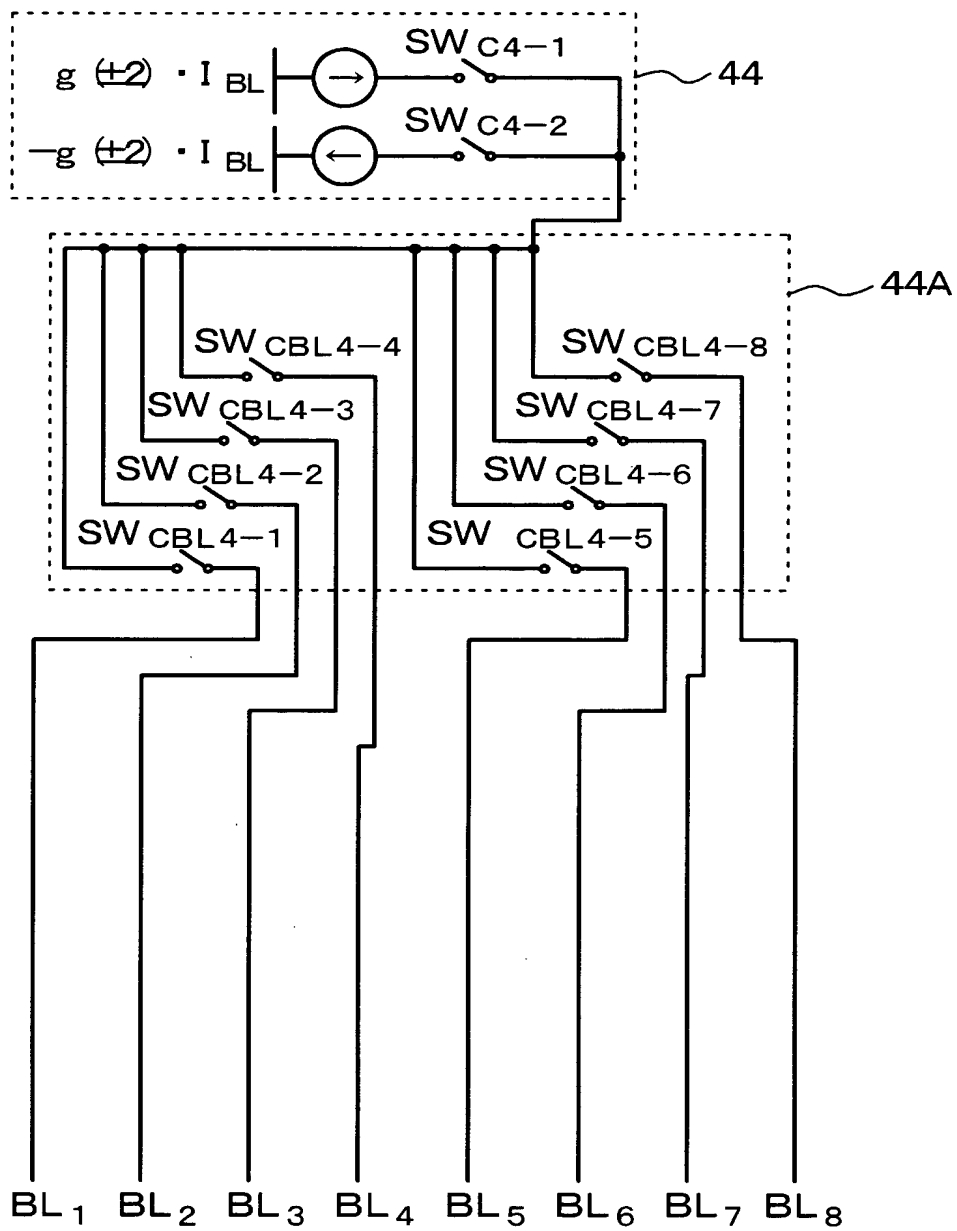
【図 14】

【図 14】



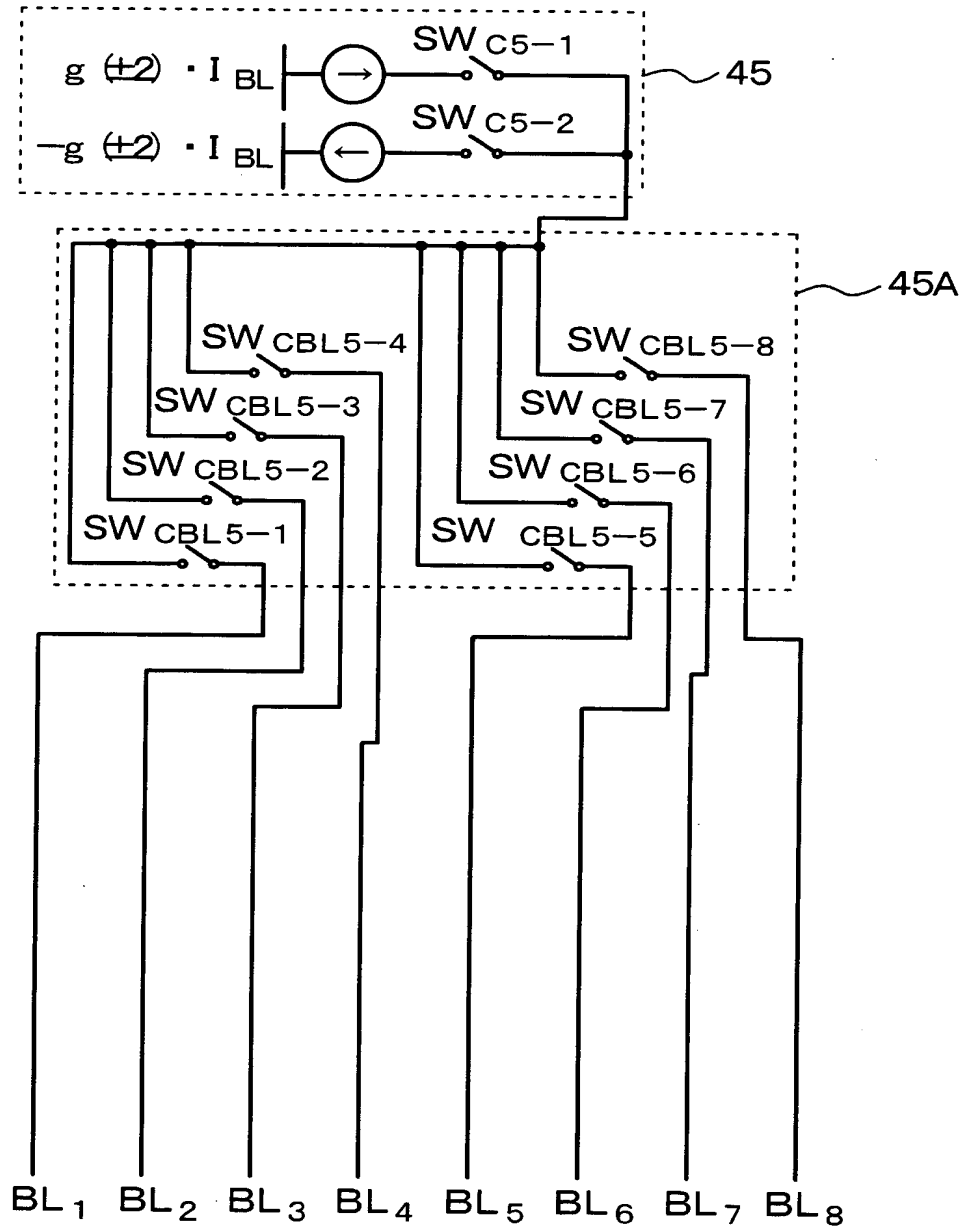
【図 15】

【図 15】



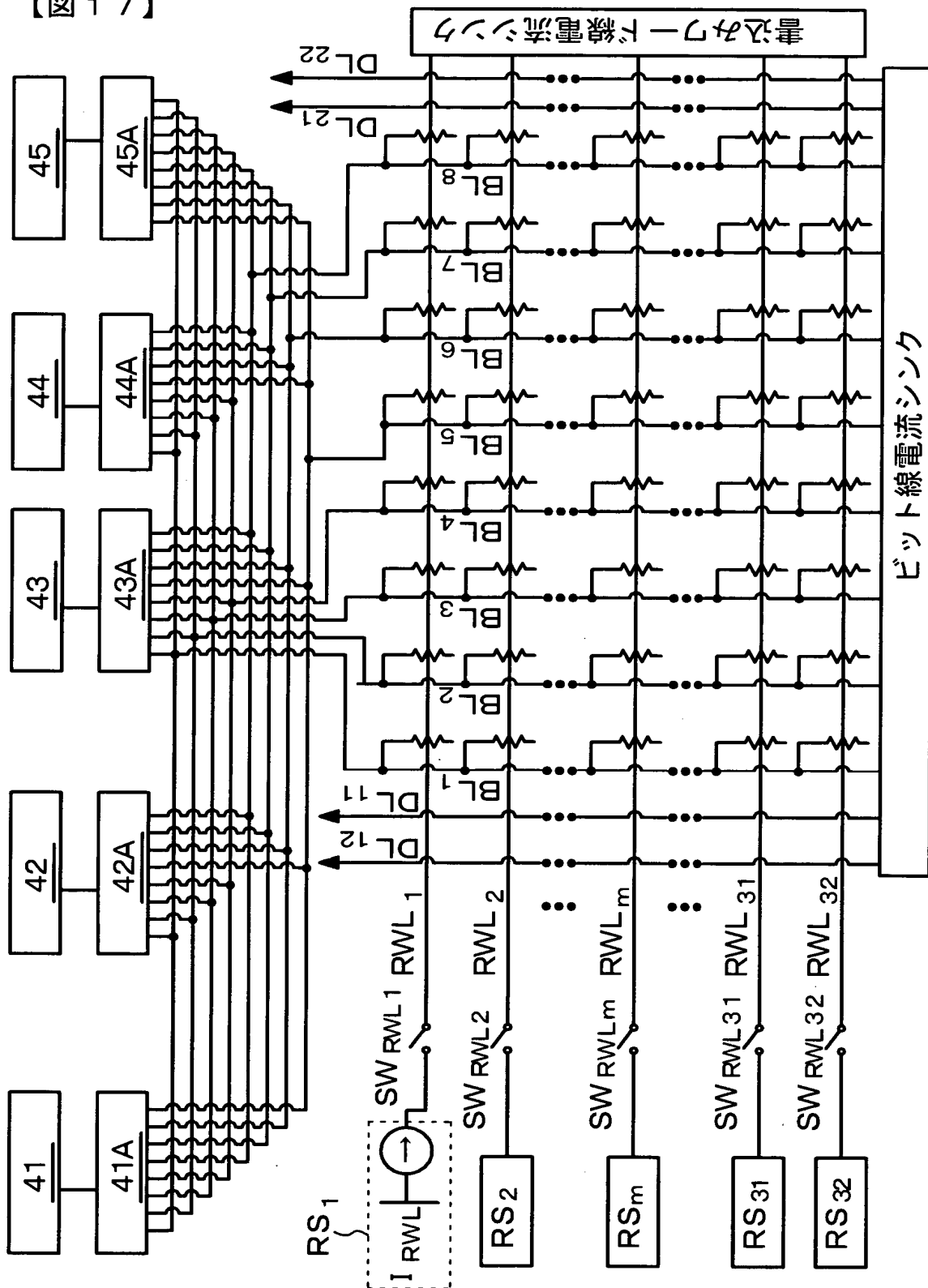
【図 16】

【図 16】



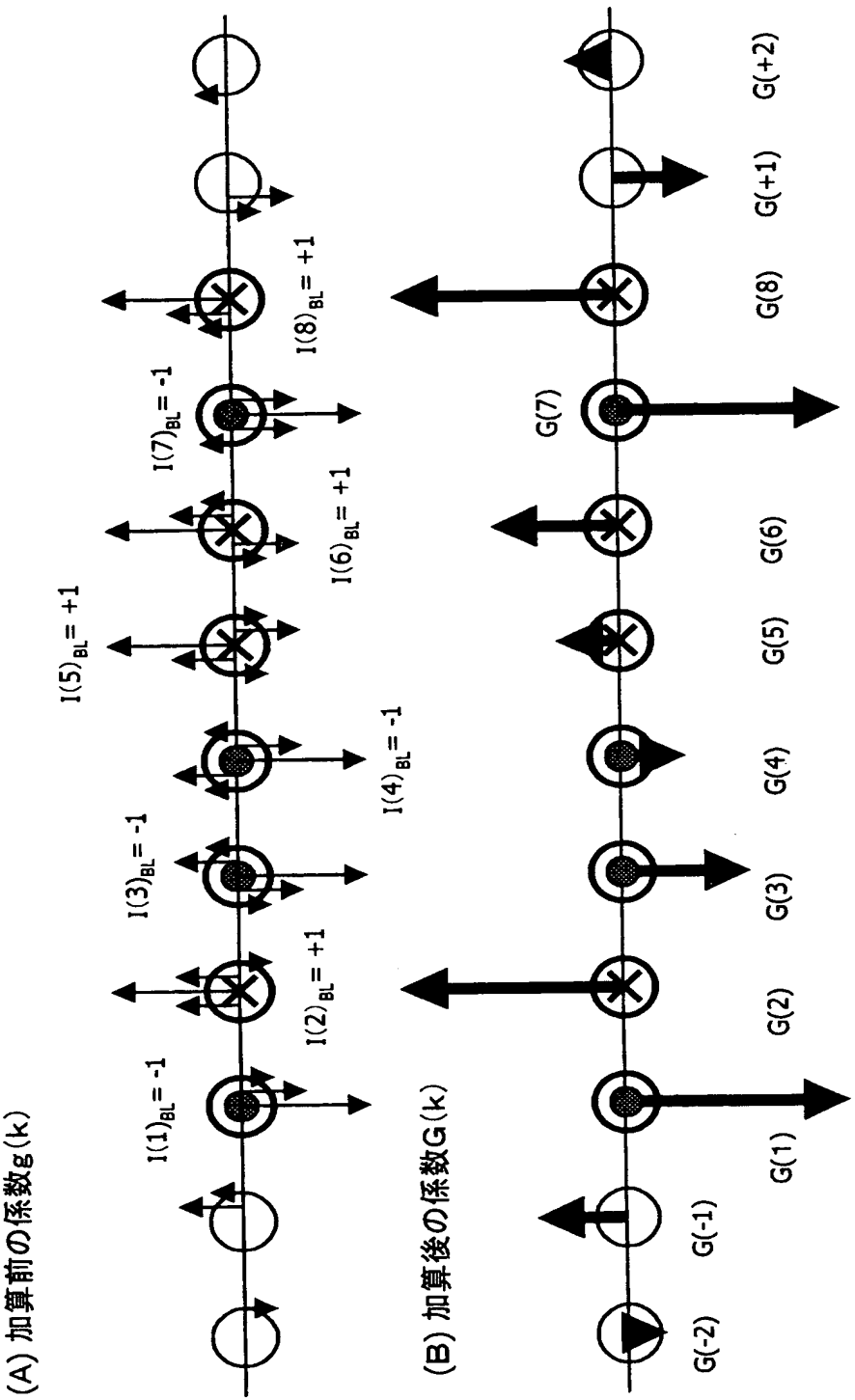
【図 17】

【図 17】



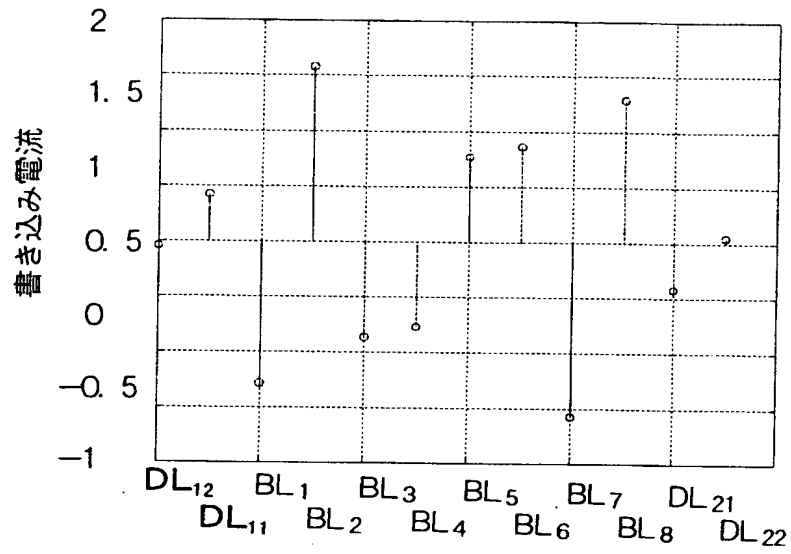
【図 18】

【図 18】



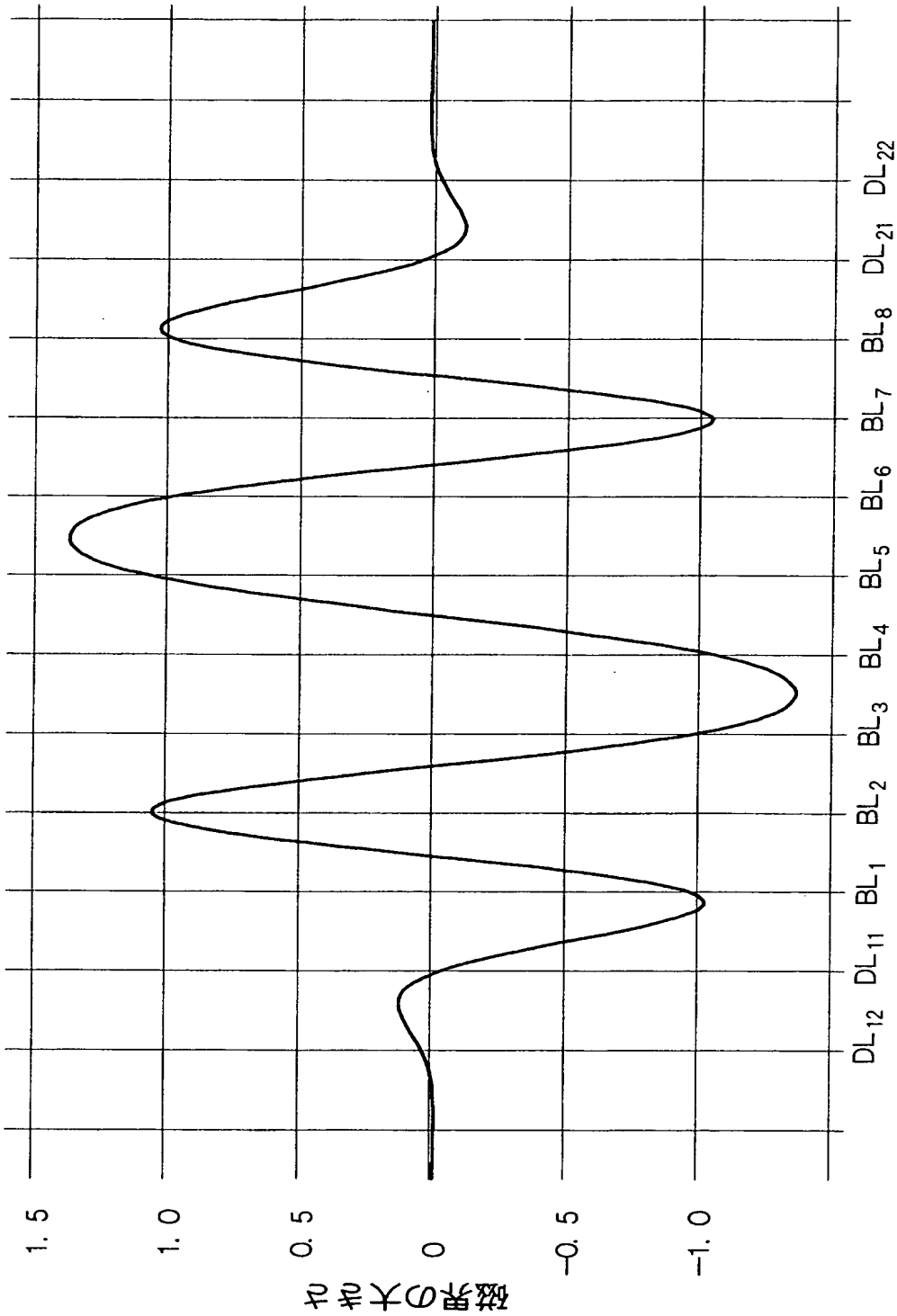
【図 19】

【図 19】



【図 20】

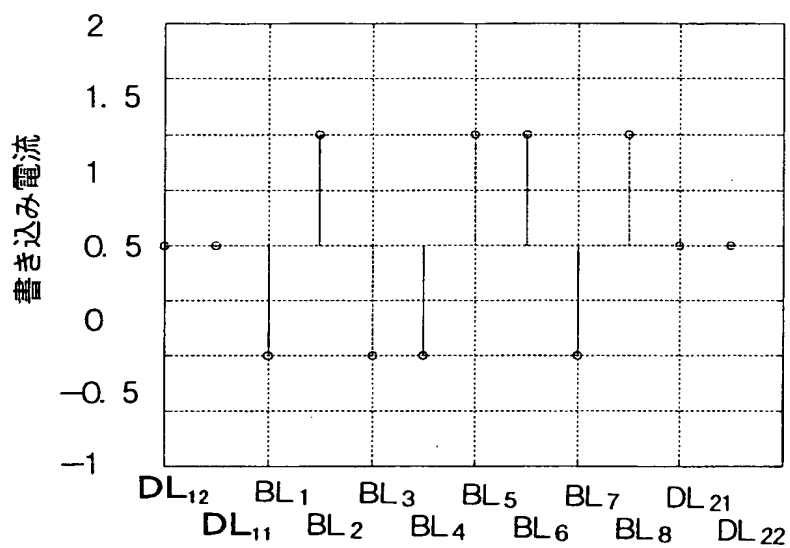
【図 20】



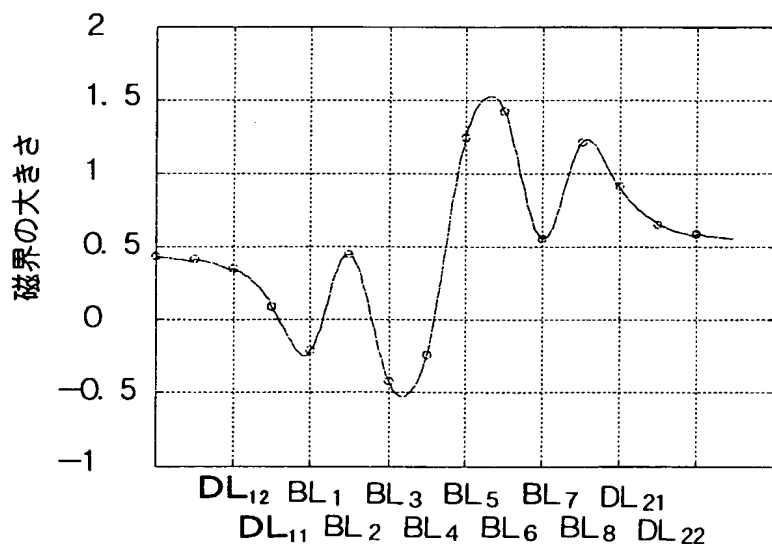
【図 21】

【図 21】

(A)

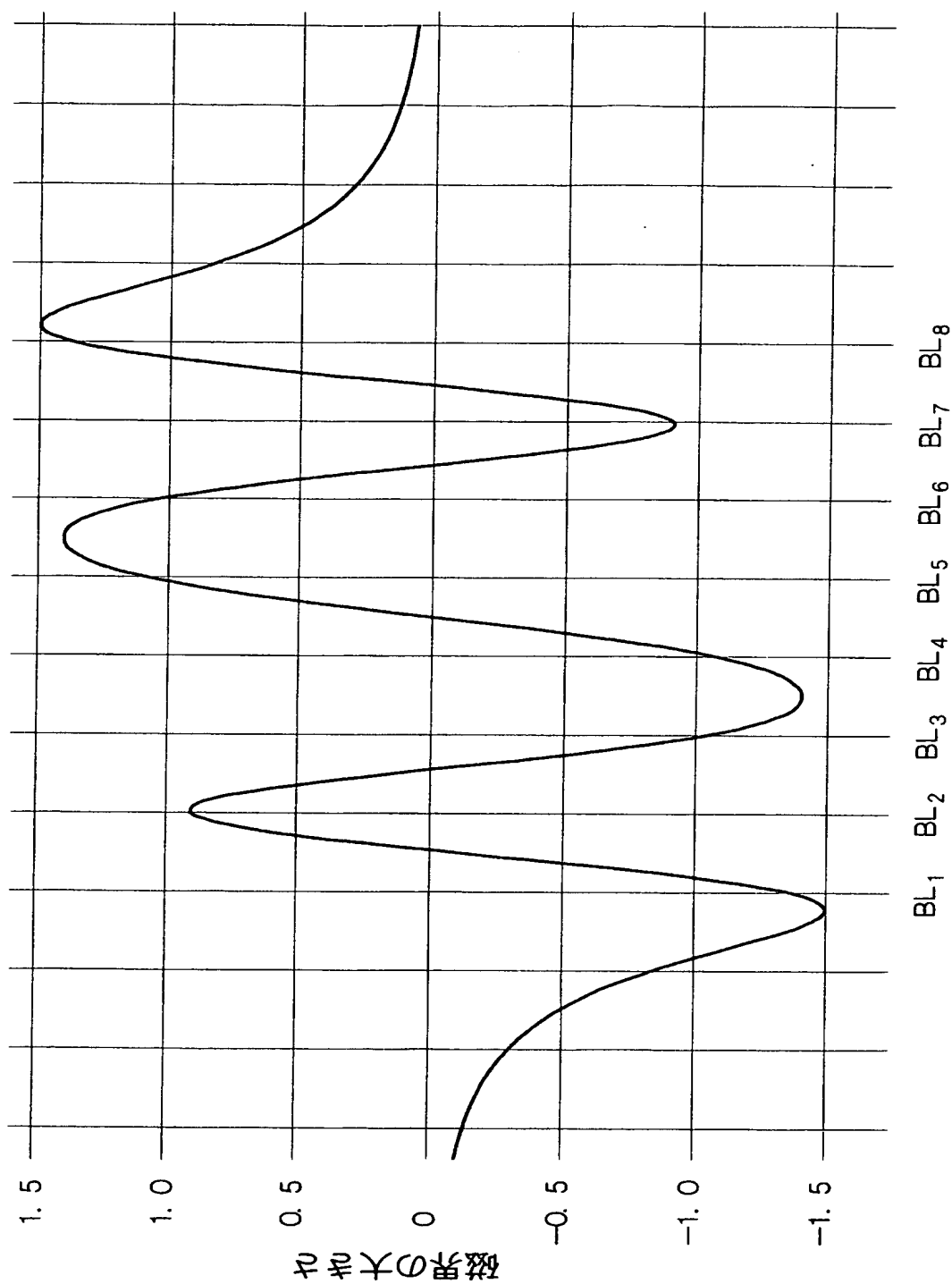


(B)



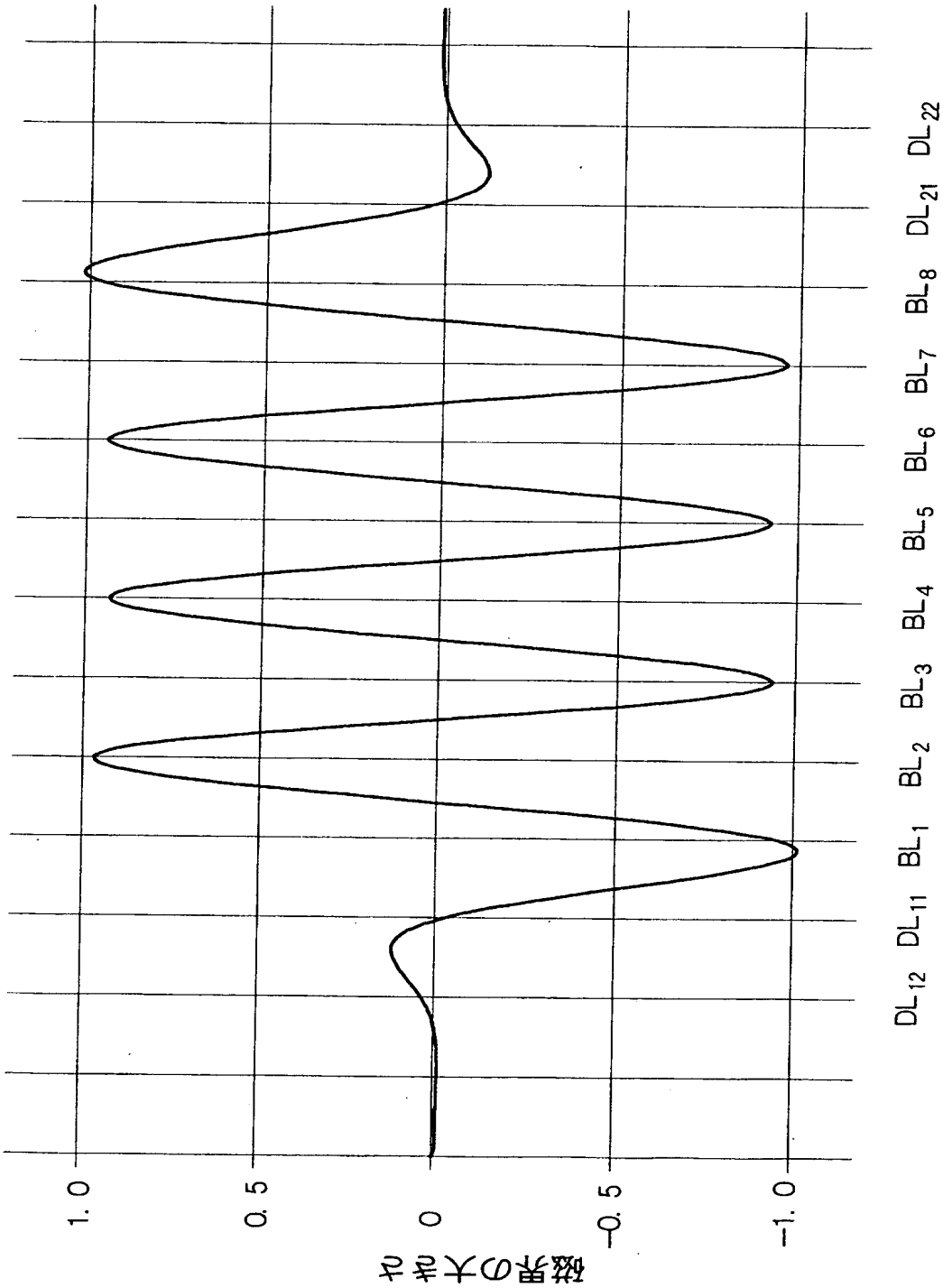
【図 22】

【図 22】



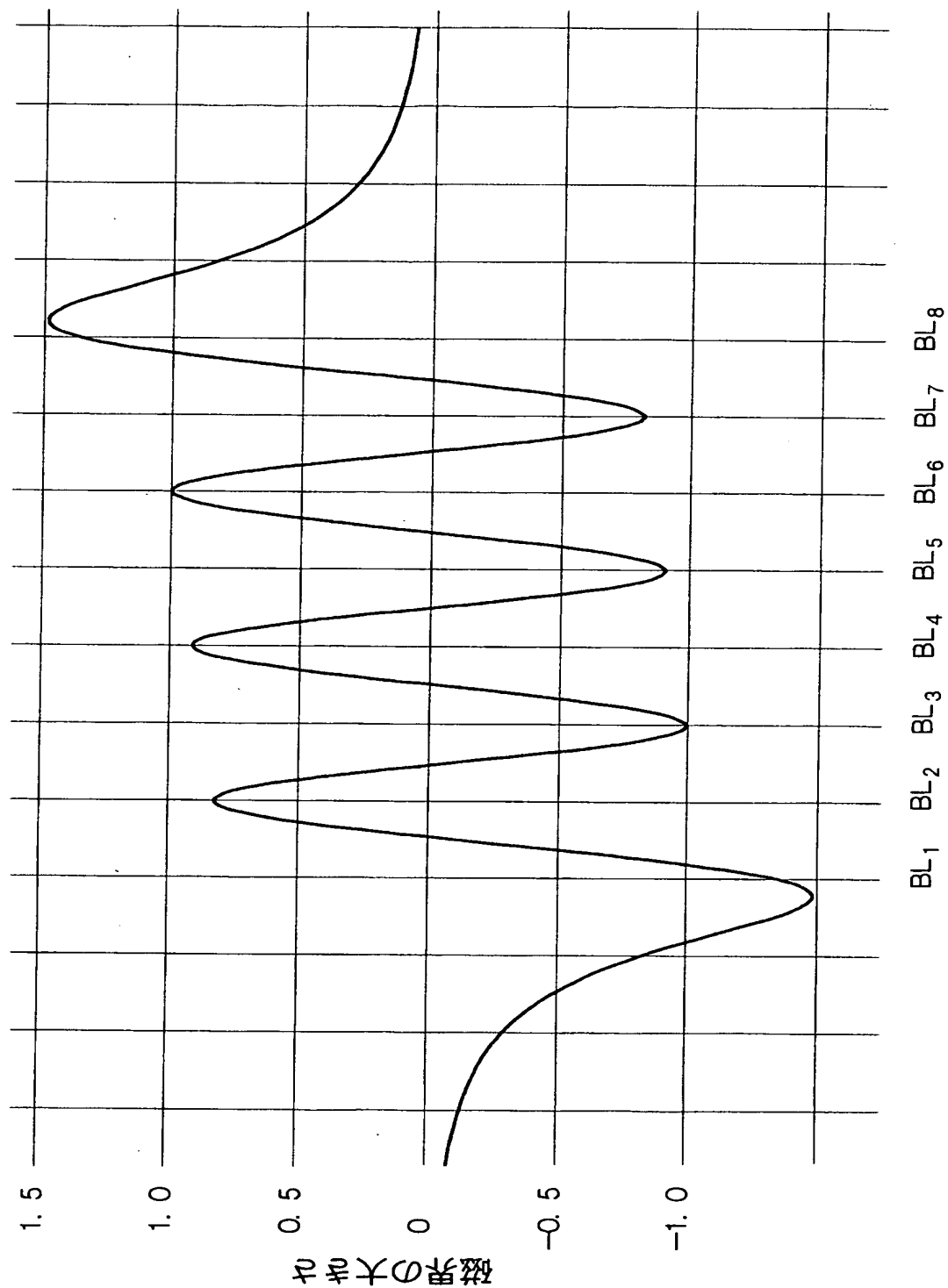
【図 23】

【図 23】



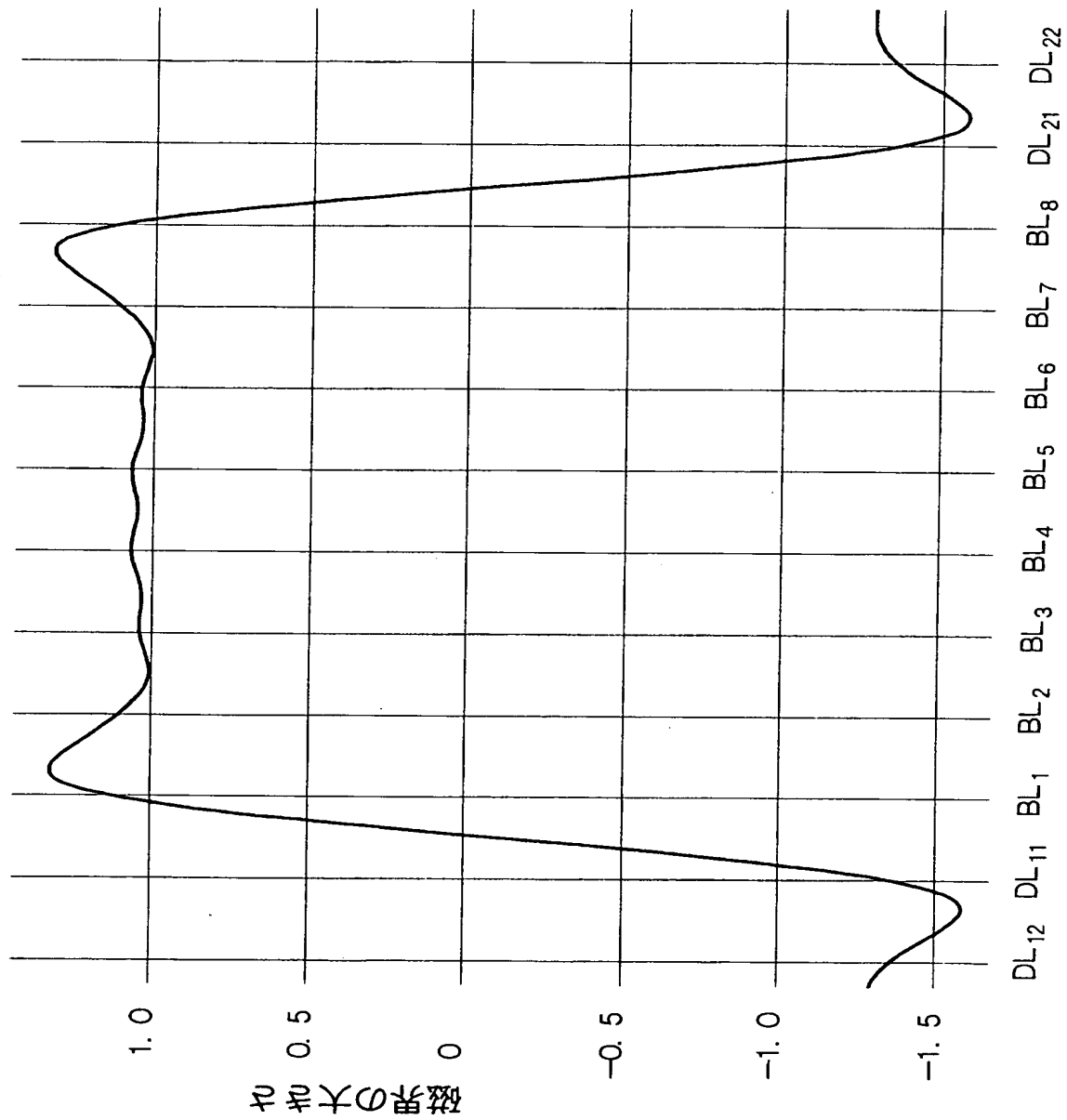
【図 24】

【図 24】



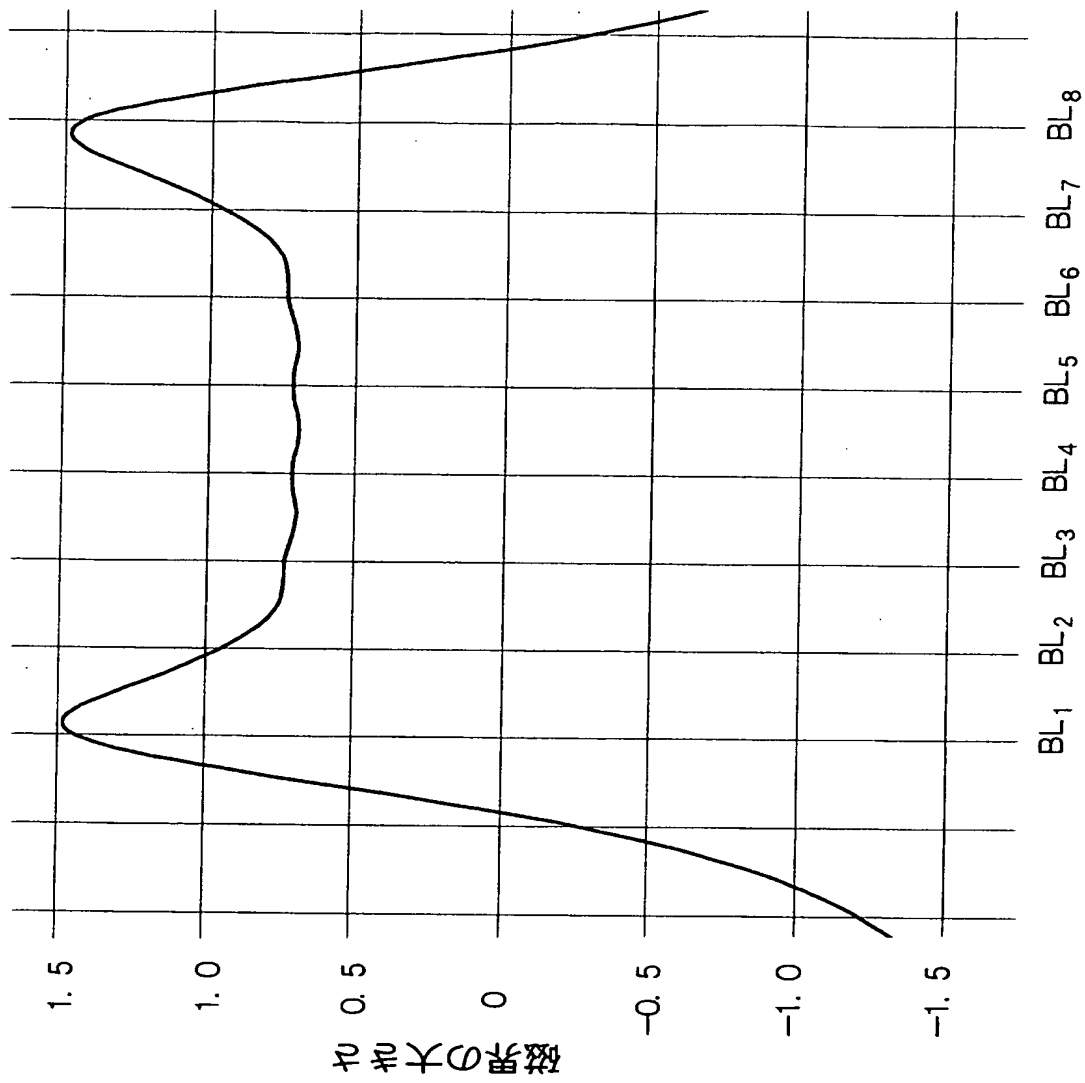
【図 25】

【図 25】



【図 26】

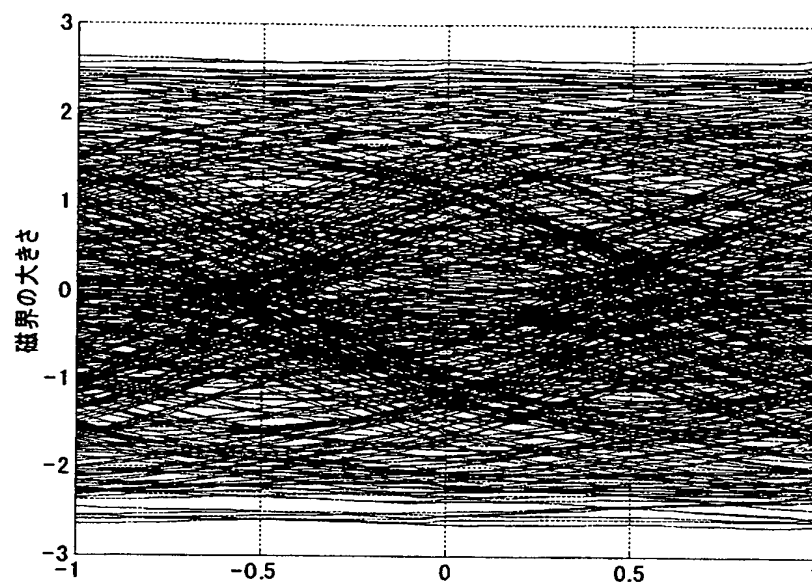
【図 26】



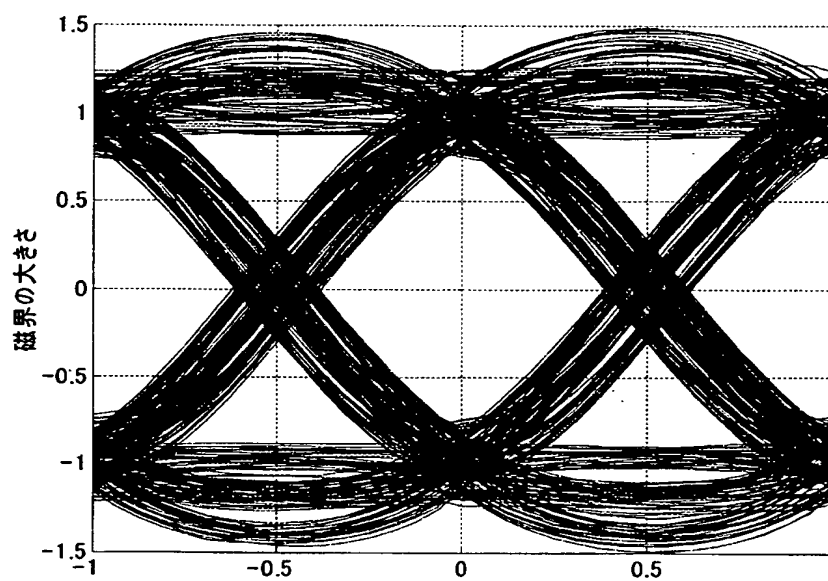
【図 27】

【図 27】

(A)



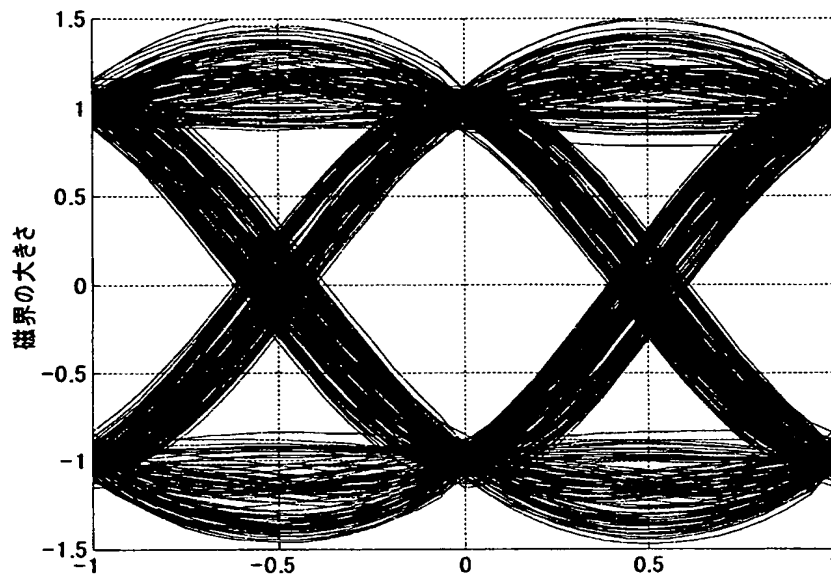
(B)



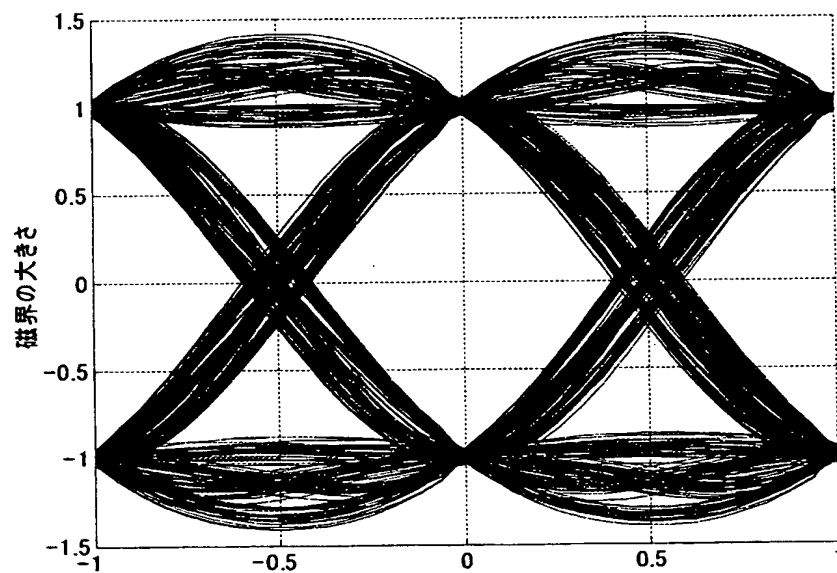
【図 28】

【図 28】

(A)



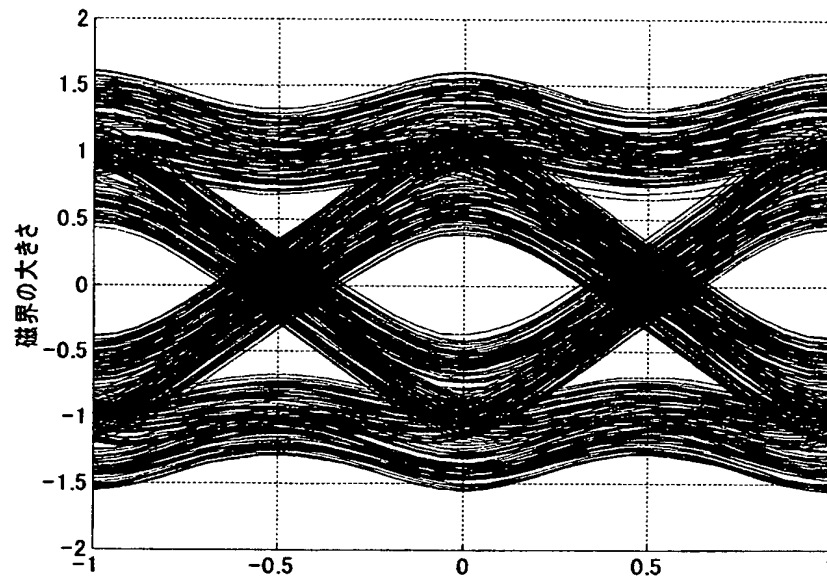
(B)



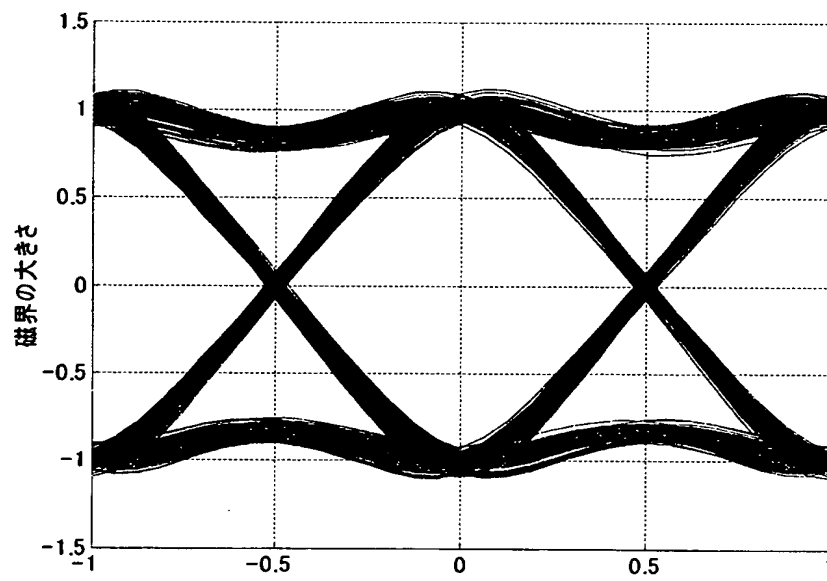
【図 29】

【図 29】

(A)

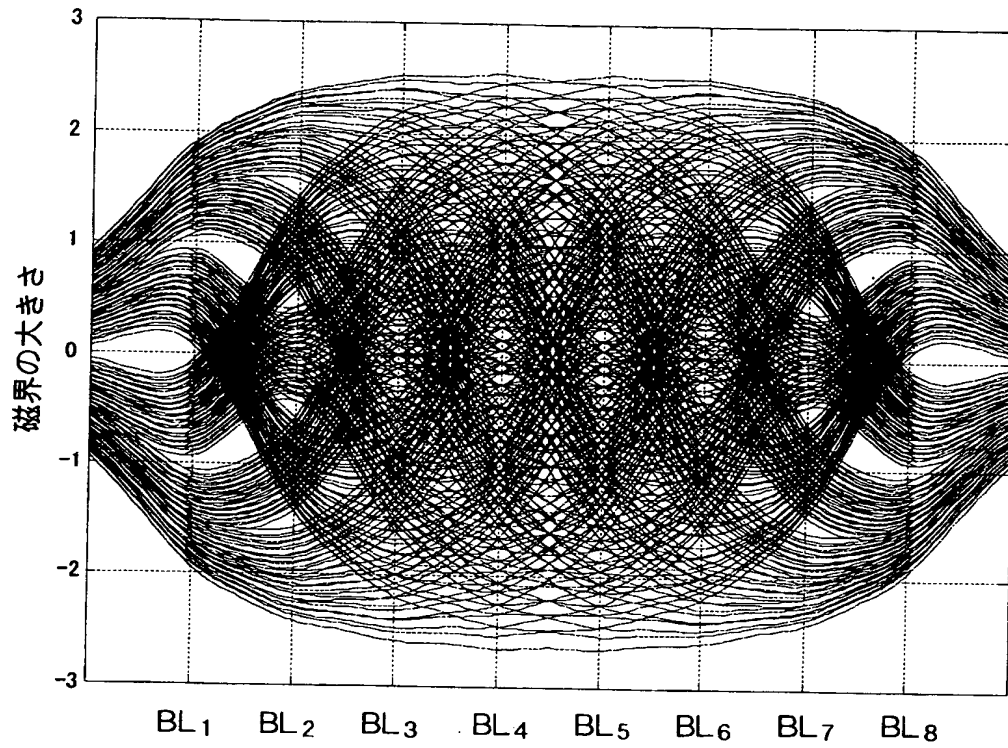


(B)



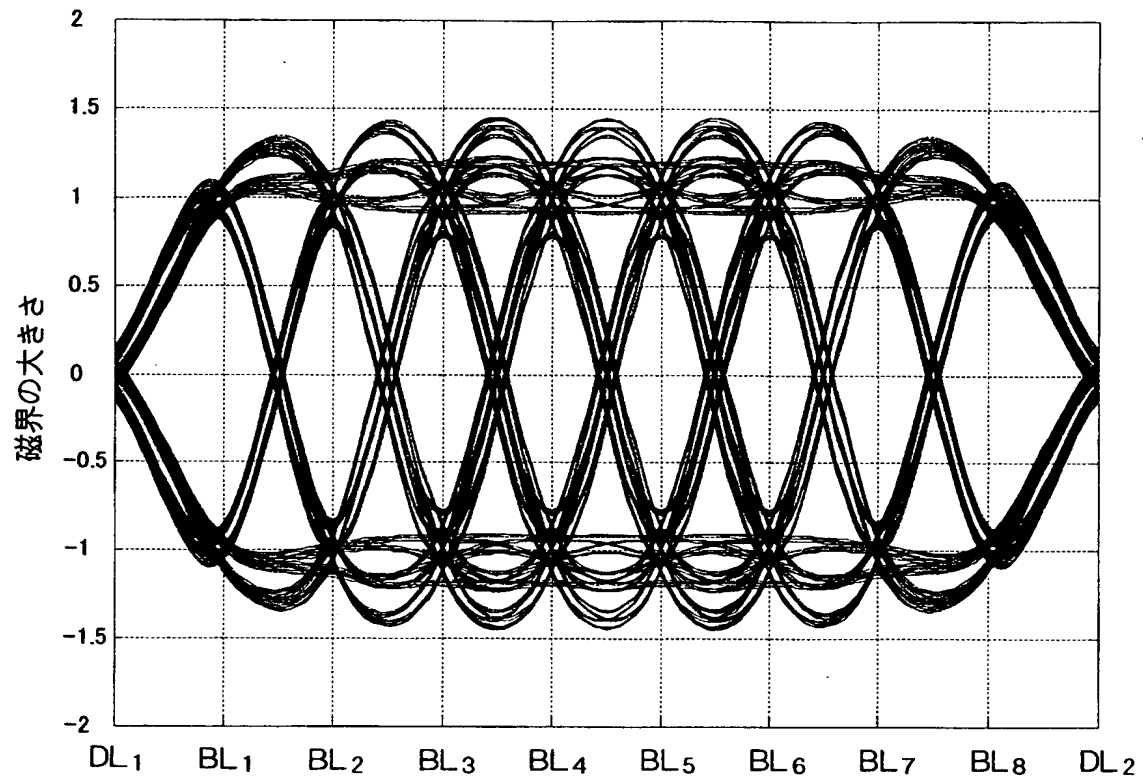
【図 30】

【図 30】



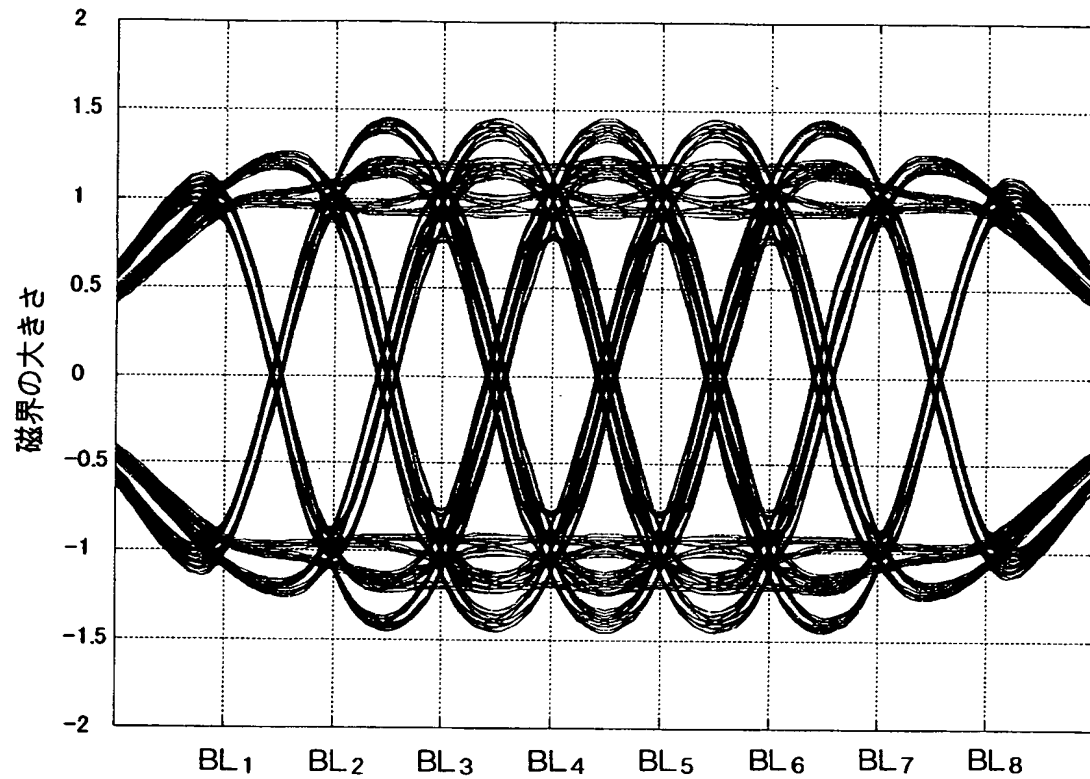
【図 31】

【図 31】



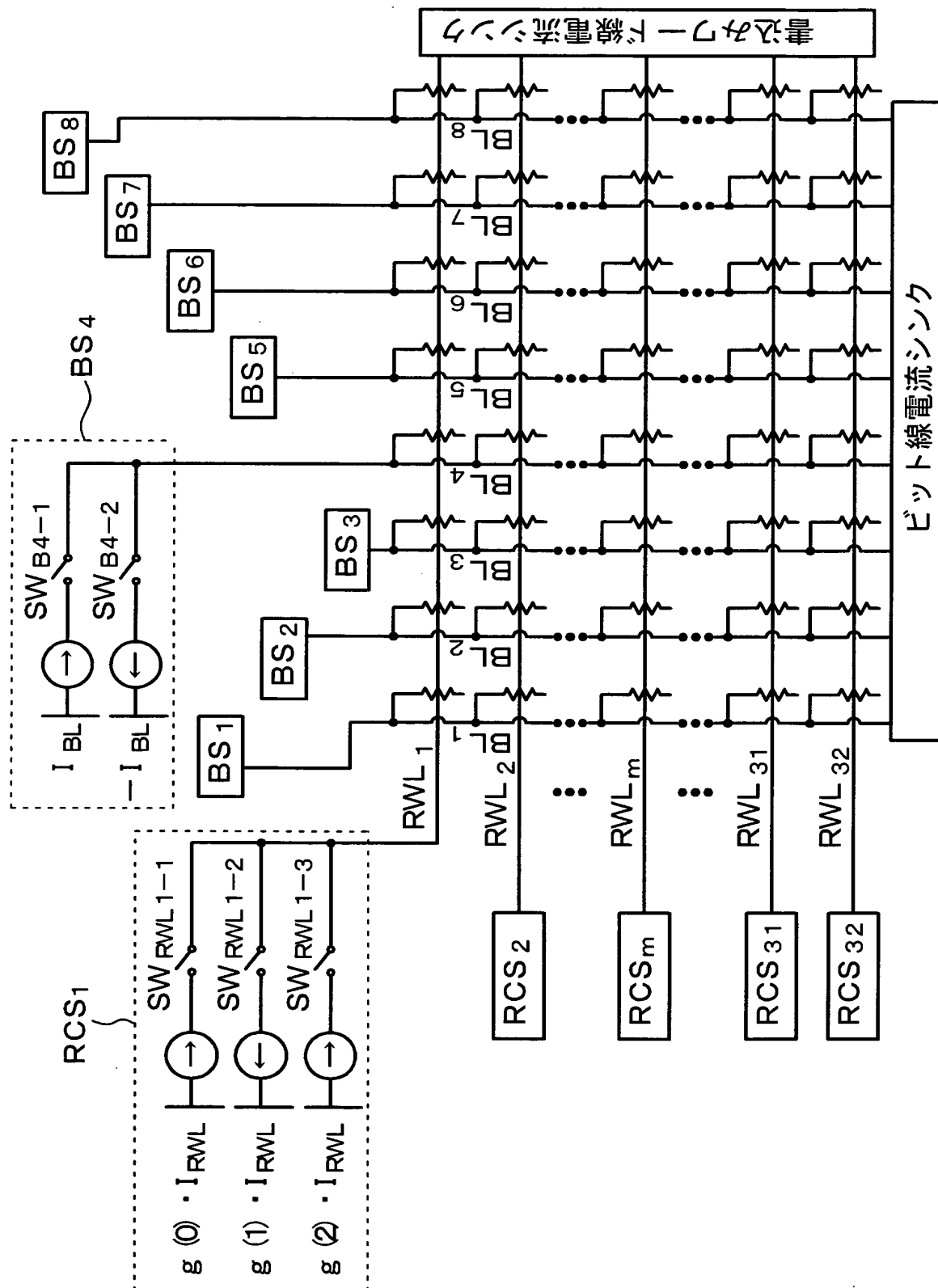
【図 3 2】

【図 3 2】

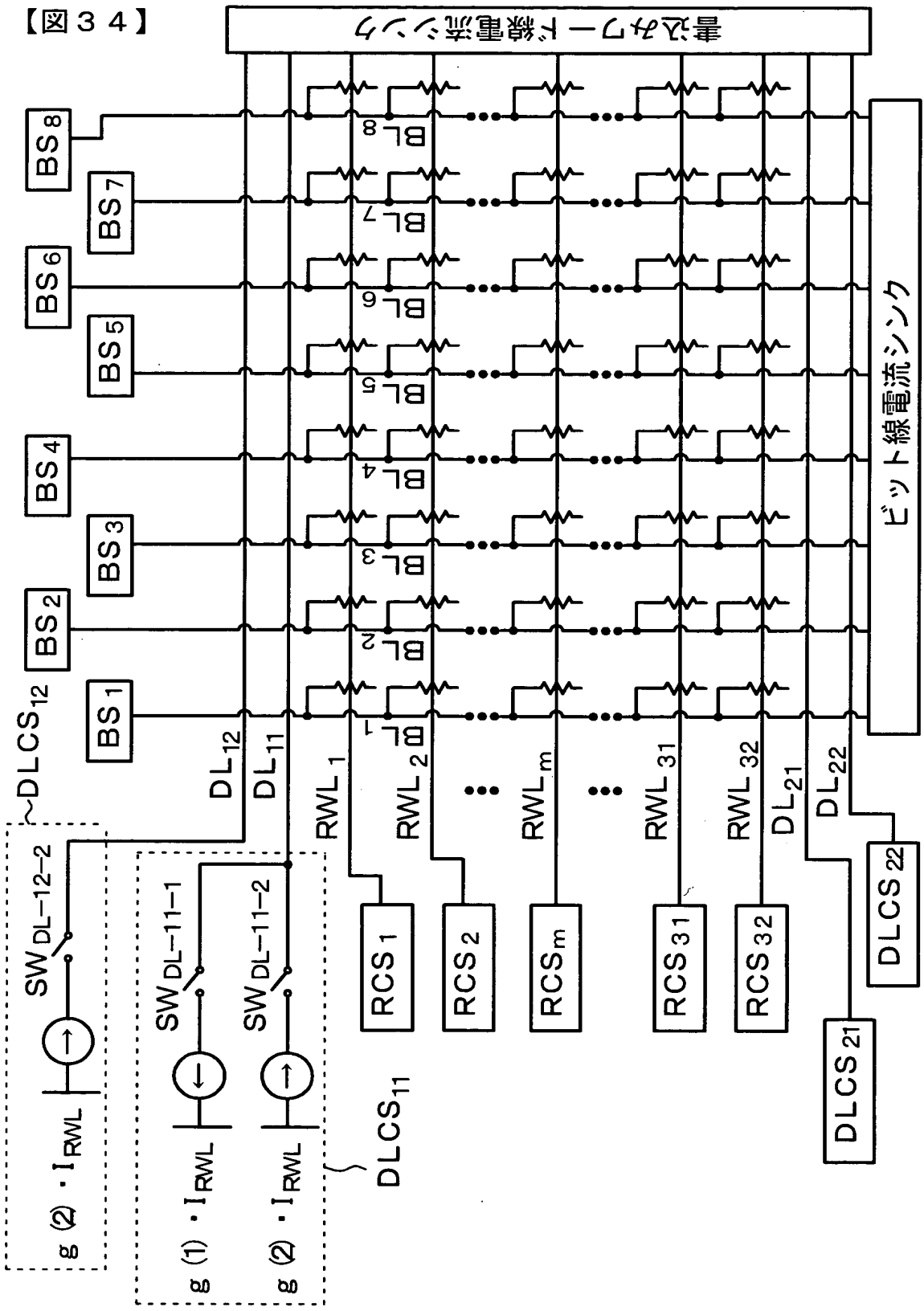


【図 33】

【図 33】

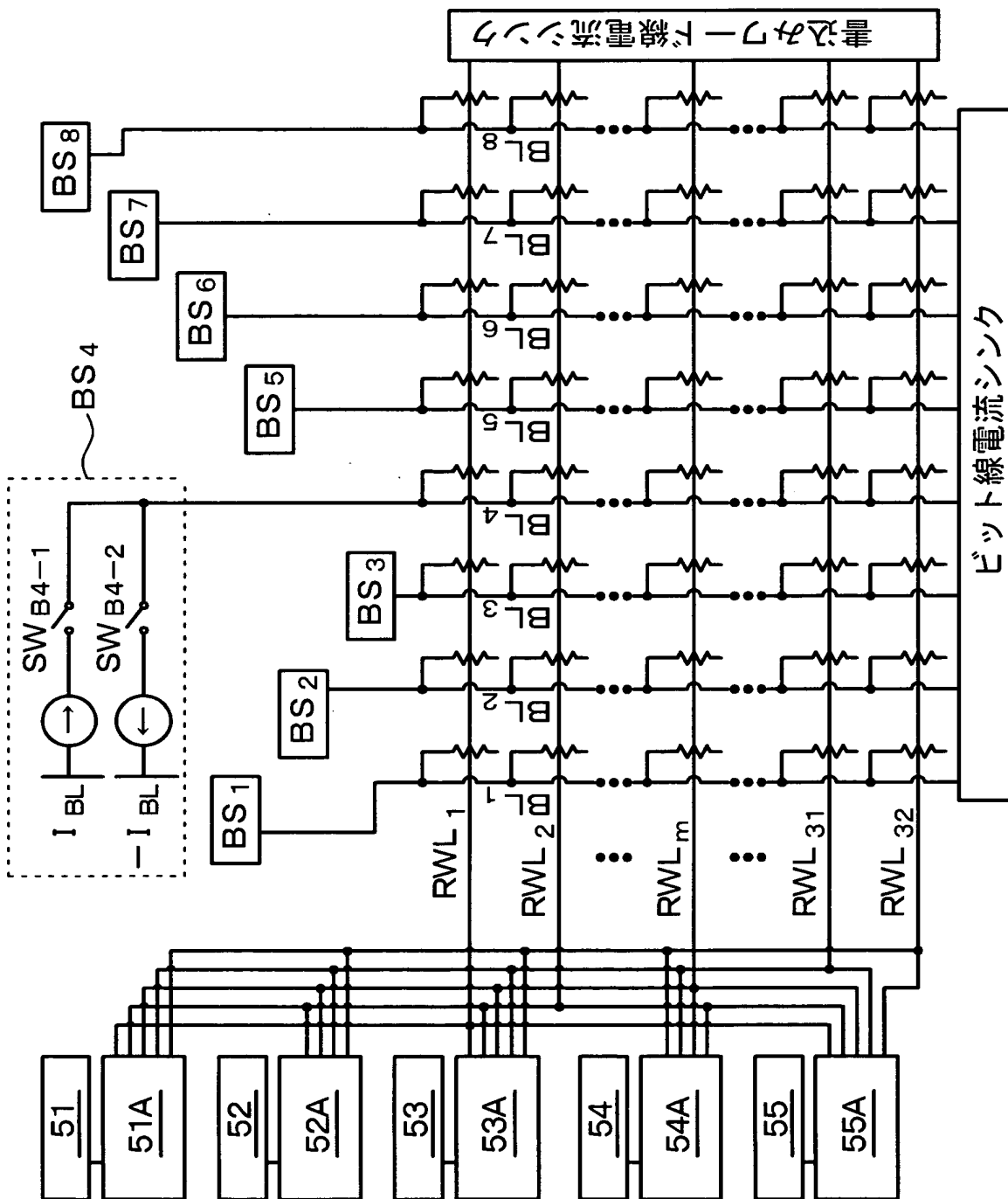


【図 3 4】



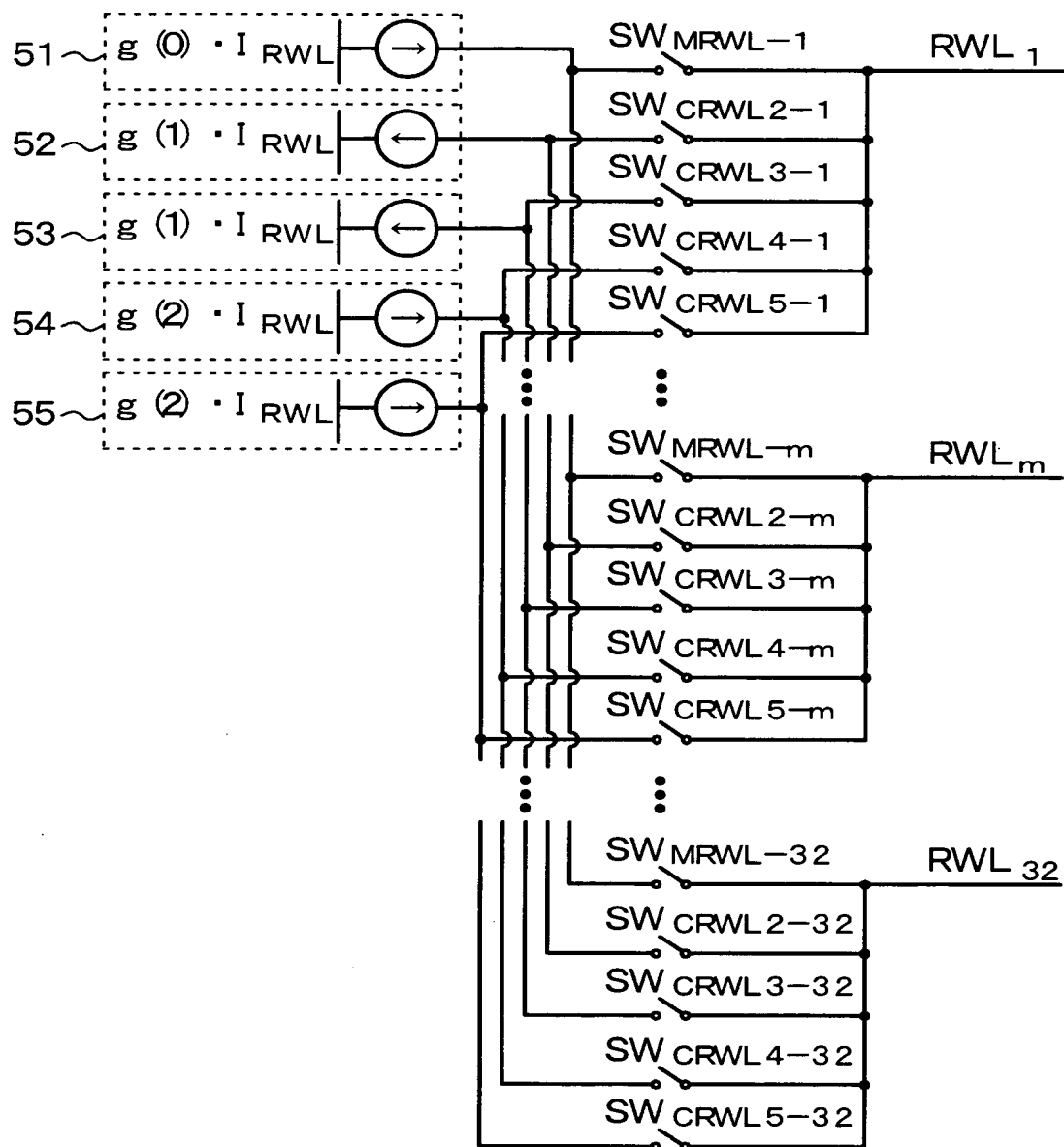
【図 35】

【図 35】



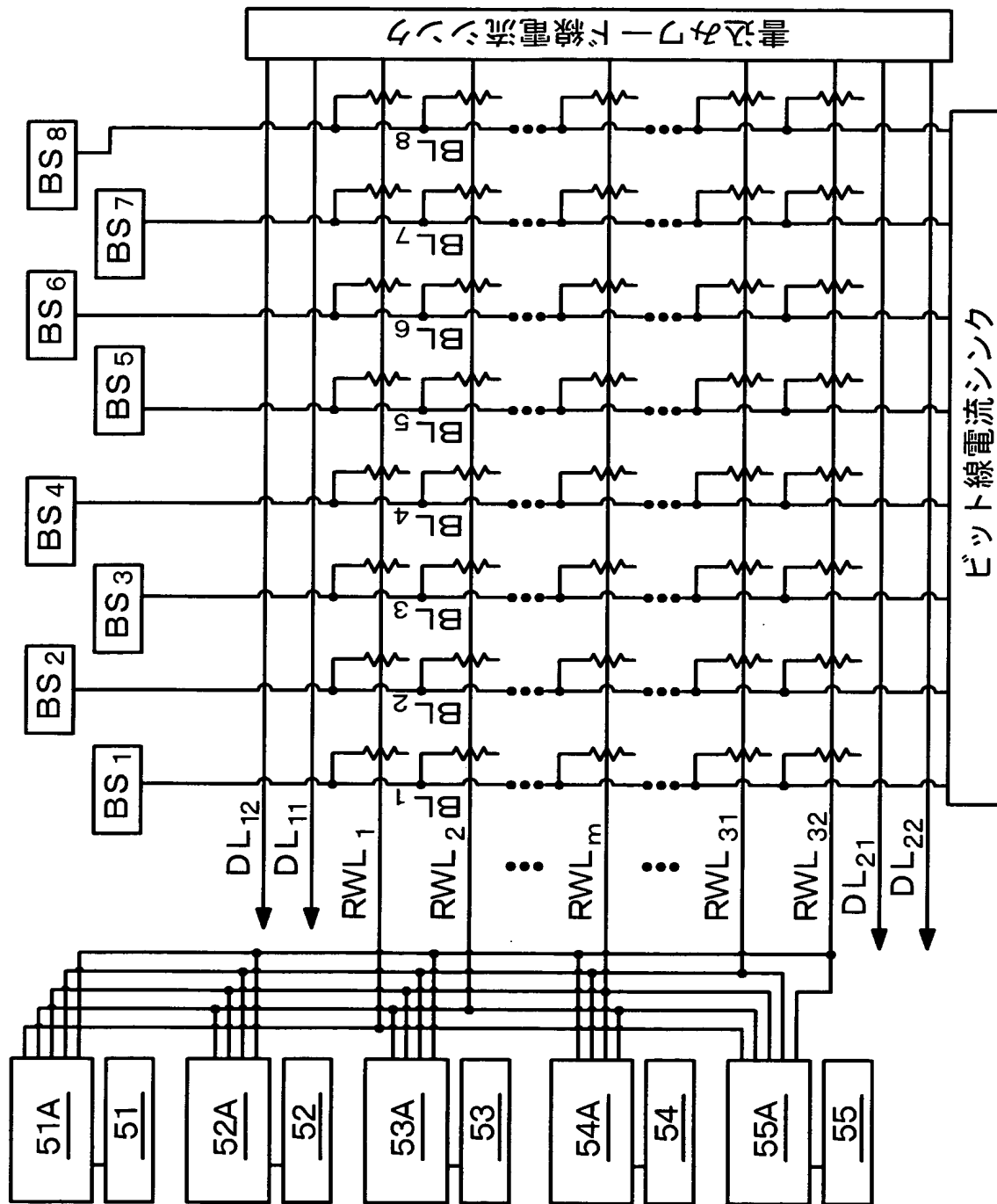
【図 3 6】

【図 3 6】



【図 37】

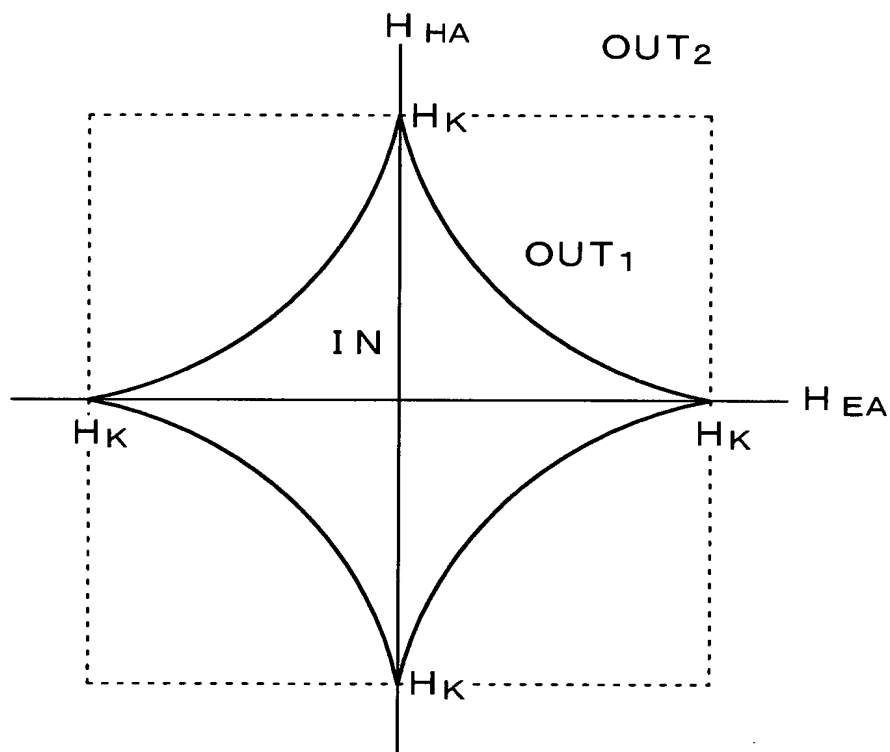
【図 37】



【図 38】

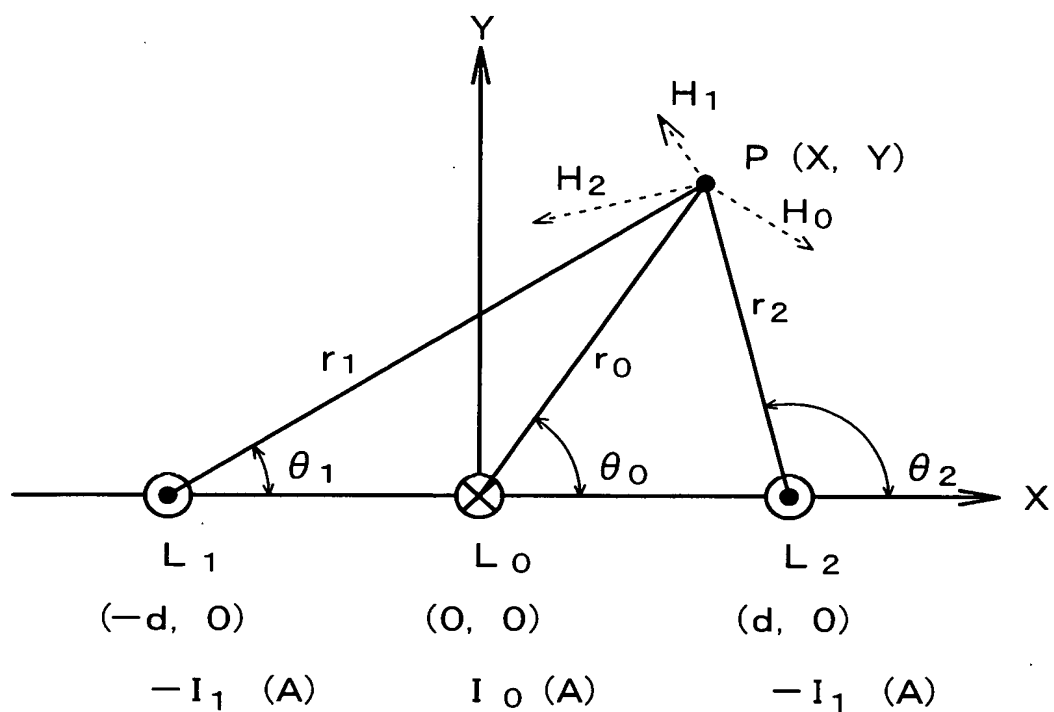
【図 38】

アステロイド曲線



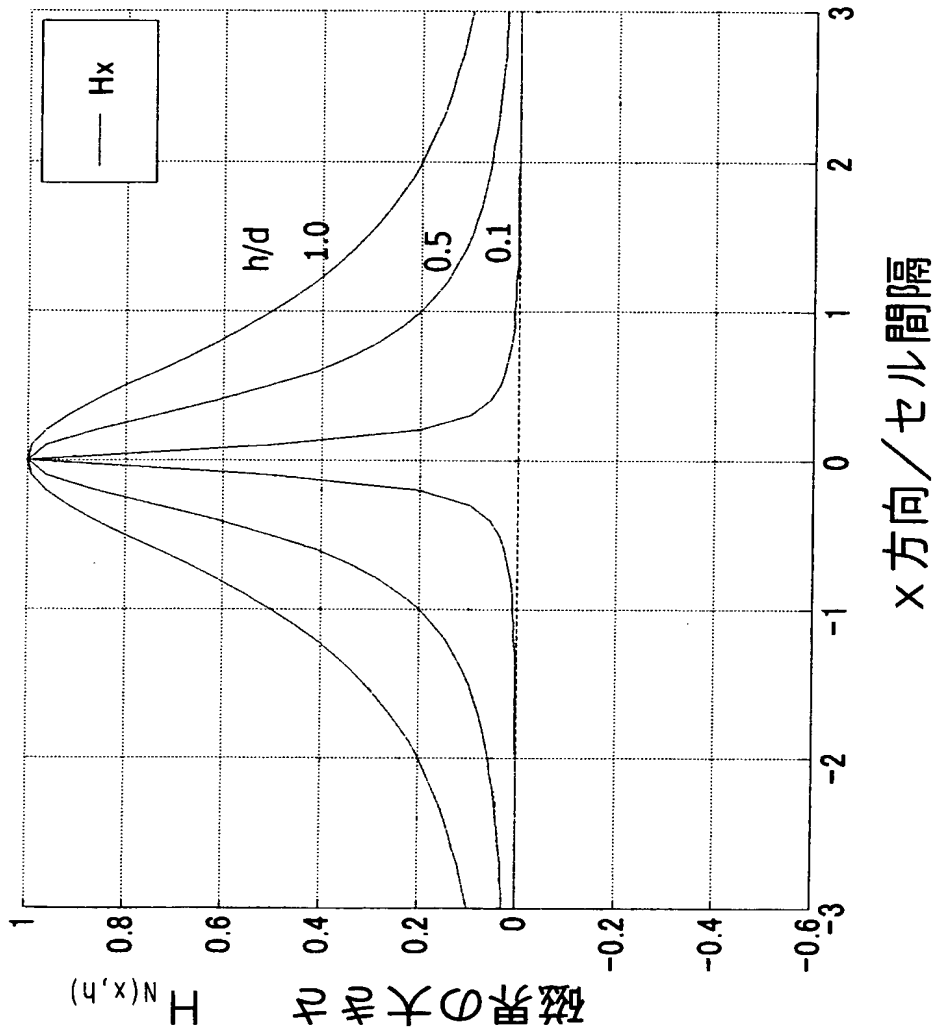
【図 39】

【図 39】



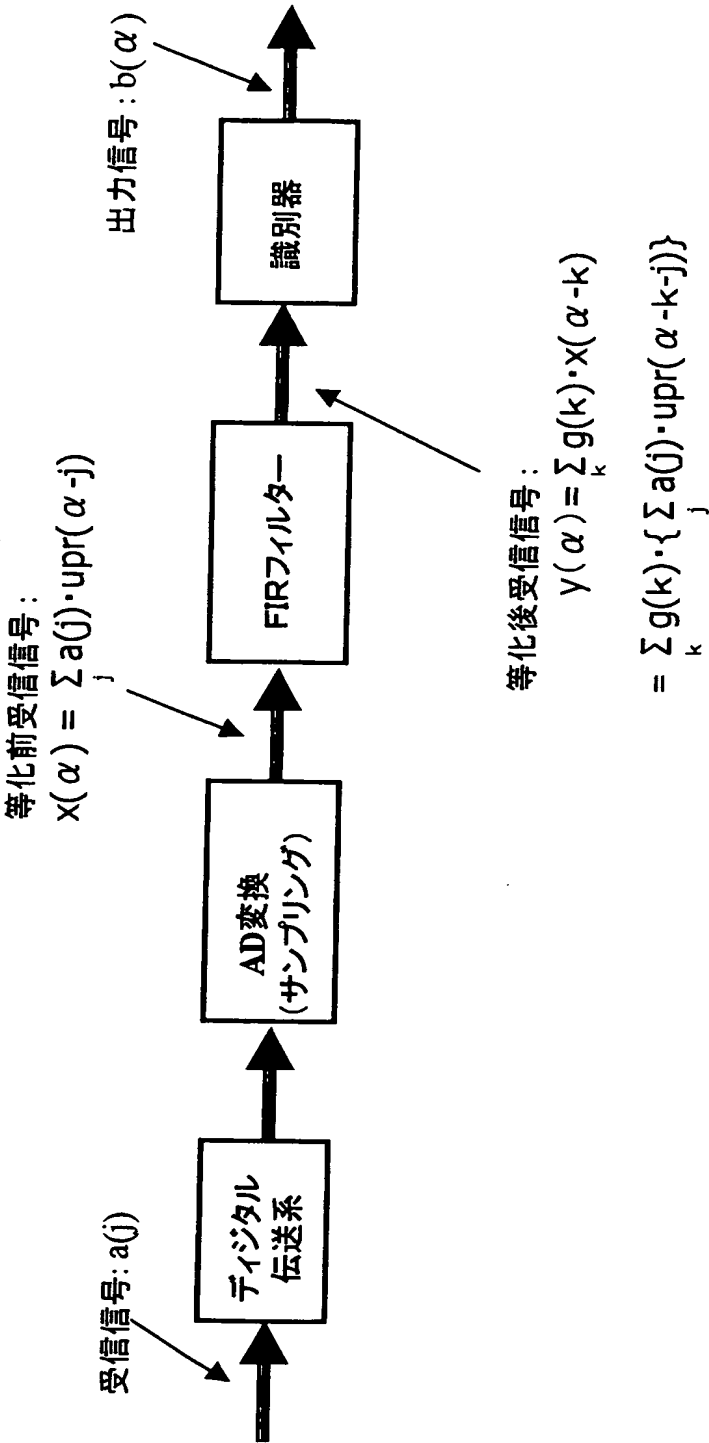
【図 40】

【図 40】



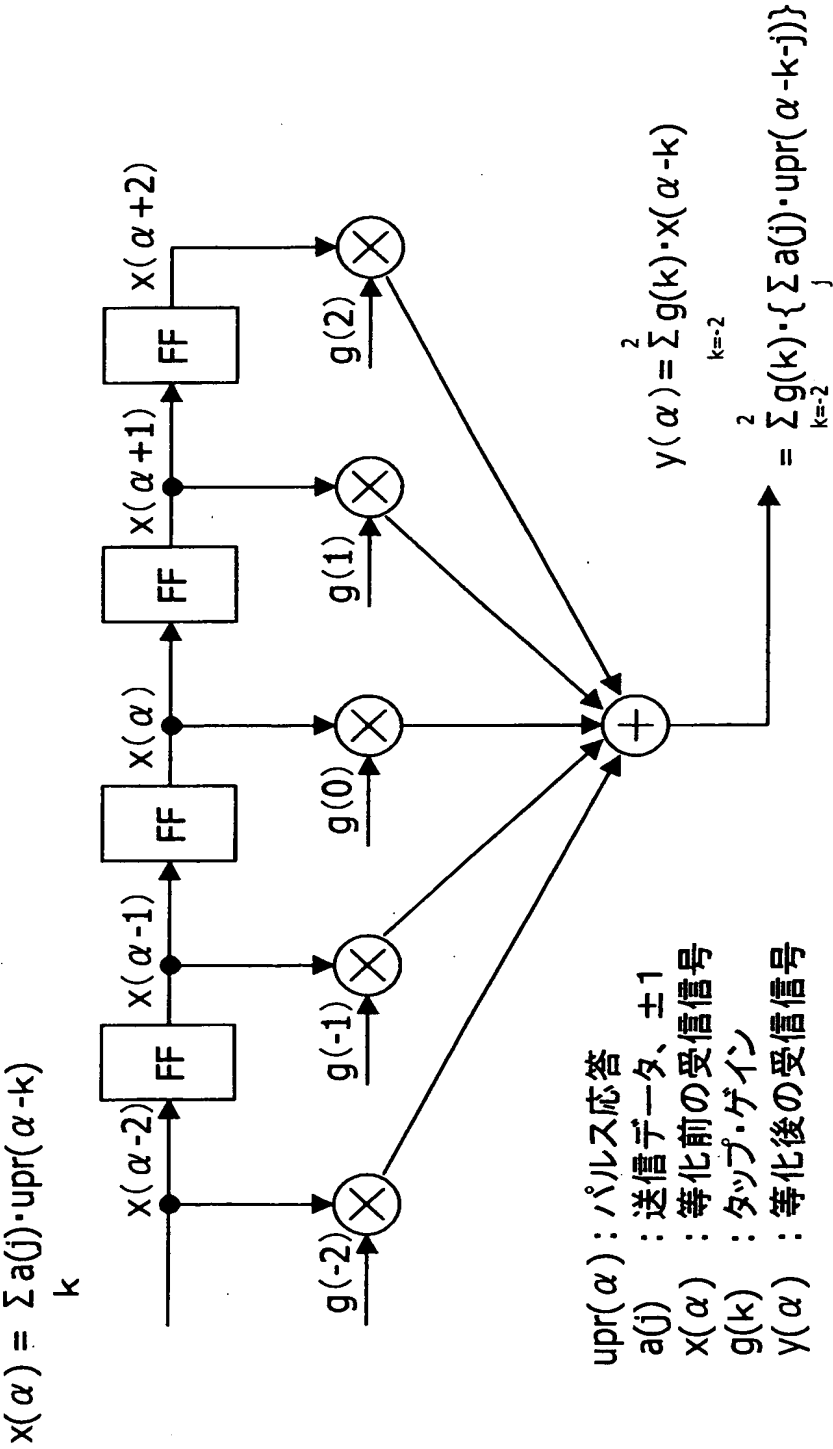
【図 4 1】

【図 4 1】



【図 4 2】

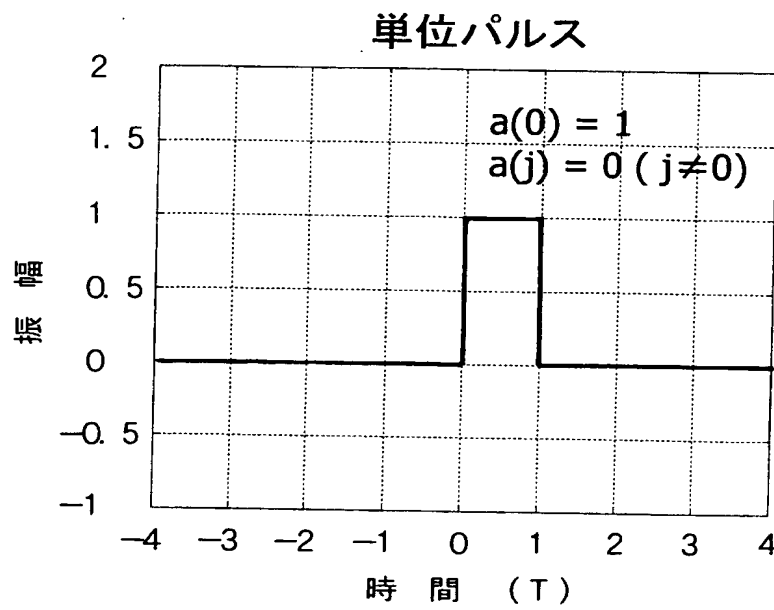
【図 4 2】



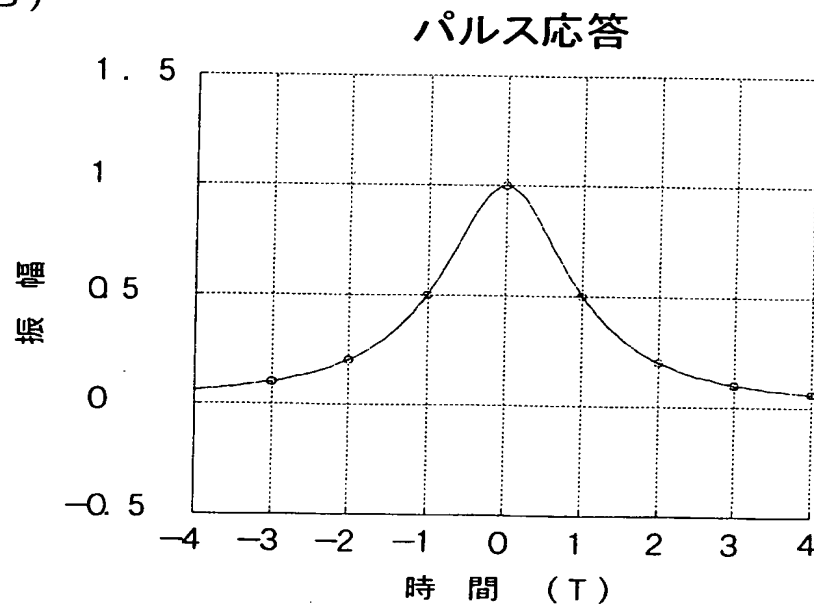
【図 4 3】

【図 4 3】

(A)

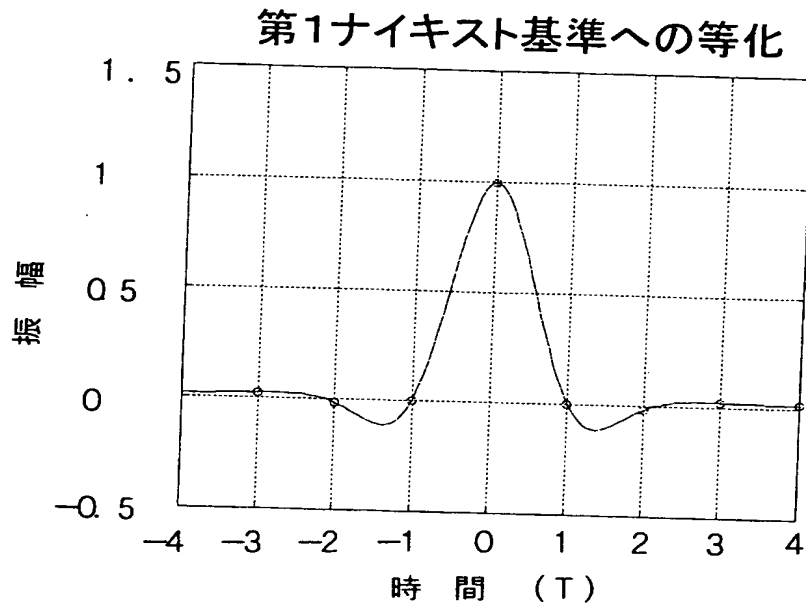


(B)



【図 4 4】

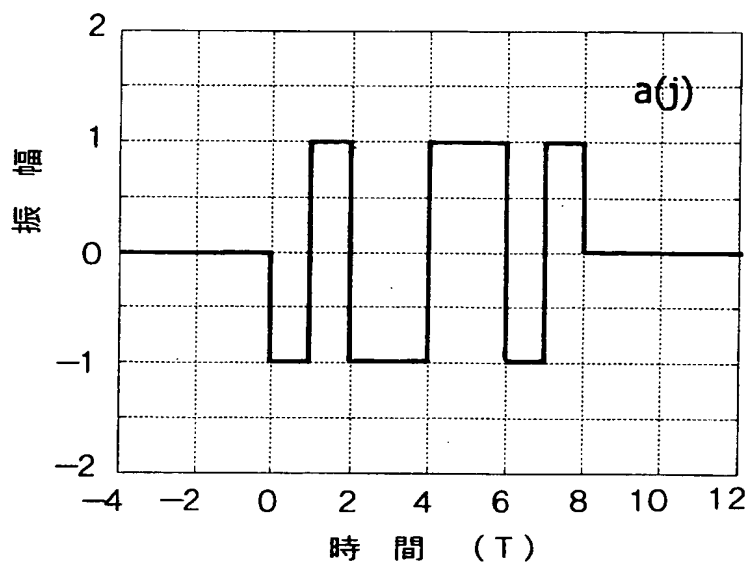
【図 4 4】



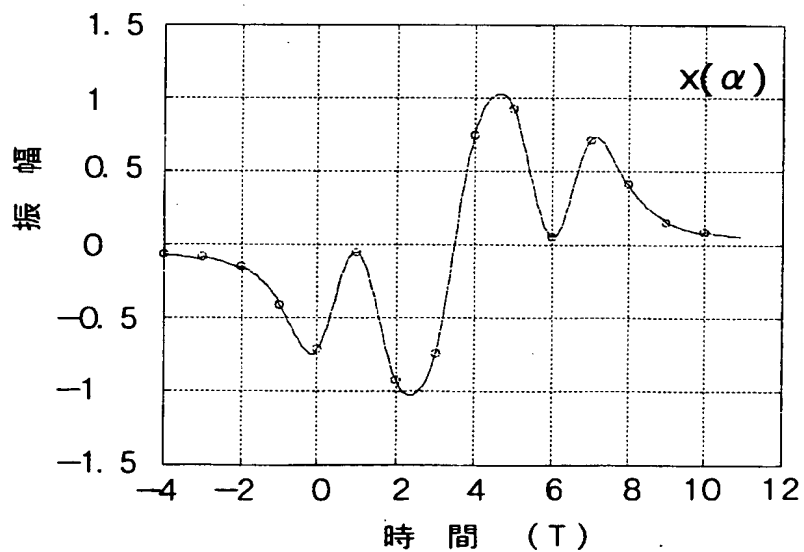
【図 45】

【図 45】

(A)

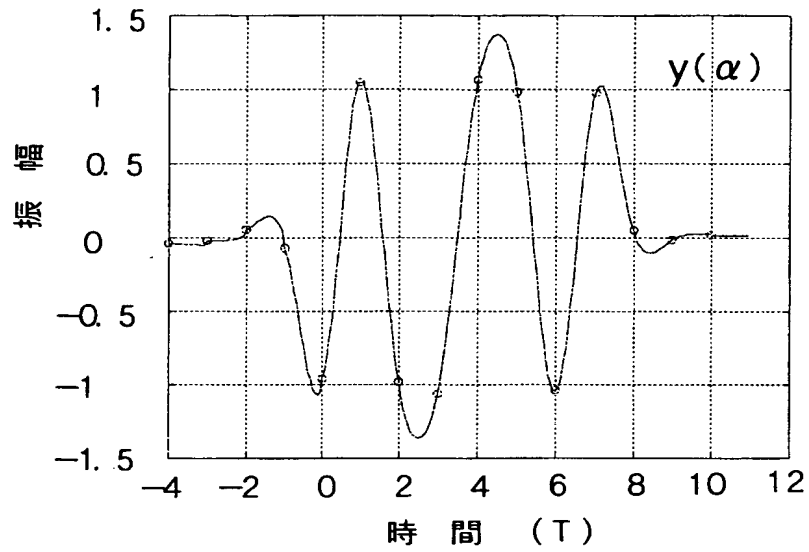


(B)



【図 4 6】

【図 4 6】



【書類名】 要約書

【要約】

【課題】 磁場によって隣接トンネル磁気抵抗素子に記憶されたデータが破壊されることの無い構成を有する不揮発性磁気メモリ装置を提供する。

【解決手段】 本発明の不揮発性磁気メモリ装置は、書込みワード線、ビット線、及び、トンネル磁気抵抗素子から成る不揮発性磁気メモリアレイを備え、トンネル磁気抵抗素子にデータが書き込まれるとき、第 m 番目の書込みワード線に電流 $I(m)_{RWL}$ が流され、且つ、第 n 番目のビット線に電流 $g(0) \cdot I(n)_{BL}$ が流され、併せて、第 q 番目（但し、 $q = n + k$ であり、合計 K 本）のビット線に電流 $g(k) \cdot I(n)_{BL}$ が流され、電流 $I(n)_{BL}$ によって該第 n 番目のビット線及び該 K 本のビット線に形成されると想定した磁界を離散的なパルス応答とみなし、係数 $g(0)$ 及び $g(k)$ をタップ・ゲインとみなした空間的な FIR フィルターが、該第 n 番目のビット線及び該 K 本のビット線によって構成されている。

【選択図】 図 1

特願 2 0 0 3 - 0 4 7 8 4 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変 更 年 月 日

1 9 9 0 年 8 月 3 0 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 品 川 区 北 品 川 6 丁 目 7 番 3 5 号

氏 名

ソニー株式会社